

## 16 通道 DAS、内置 16 位、双极性输入、双路同步采样 ADC

### 1 特性

- 16 通道、双路、同步采样输入
- 可独立选择的通道输入范围
  - 真双极性:  $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、 $\pm 2.5\text{ V}$
- 5 V 单模拟电源,  $V_{\text{DRIVE}}$  电源电压: 2.3 V 至 3.6 V
- 完全集成的数据采集解决方案
  - 模拟输入箝位保护
  - 具有 1 M $\Omega$  模拟输入阻抗的输入缓冲器
  - 一阶抗混叠模拟滤波器
  - 片内精密基准电压及基准电压缓冲器
  - 双通道 16 位逐次逼近型寄存器(SAR)ADC
  - 吞吐速率: 2 $\times$ 1 MSPS
  - 通过数字滤波器提供过采样功能
  - 灵活的序列器, 支持突发模式
- 灵活的并行/串行接口
  - SPI/QSPI/MICROWIRE/DSP 兼容
- 硬件/软件配置
- 性能
  - 信噪比(SNR): 90.5 dB (1 MSPS)
  - 总谐波失真(THD): -103 dB
  - $\pm 1\text{ LSB INL}$  (典型值),  $\pm 0.99\text{ LSB DNL}$  (最大值)
  - 模拟输入通道提供 7 kV ESD 额定值
- 片内自检测功能
- 80 引脚 LQFP 封装

### 2 应用

- 电力线路监控
- 保护继电器
- 多相电机控制
- 仪器仪表和控制系统
- 数据采集系统(DAS)

### 3 概述

GD30AD33G0 是一款 16 位 DAS, 支持对 16 个通道进行双路同步采样。GD30AD33G0 采用 5 V 单电源供电, 可以处理 $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$  和 $\pm 2.5\text{ V}$  真双极性输入信号, 同时每对通道均能以高达 1MSPS 的吞吐速率和 90.5 dB SNR 采样。

GD30AD33G0 输入箝位保护电路可以耐受高达 $\pm 25\text{ V}$  的电压。无论以何种采样频率工作, GD30AD33G0 的模拟输入阻抗均为 1 M $\Omega$ 。它采用单电源工作方式, 具有片内滤波和高输入阻抗, 因此无需驱动运算放大器和外部双极性电源。

该器件均内置模拟输入箝位保护、一个双路 16 位电荷再分配 SAR 模数转换器 (ADC)、一个灵活的数字滤波器、2.5 V 基准电压源和基准电压缓冲器以及高速串行和并行接口。

GD30AD33G0 兼容串行外设接口(SPI)/QSPI/DSP/MICROWIRE。

#### 芯片信息<sup>1</sup>

料号	封装类型	尺寸
GD30AD33G0	LQFP-80	14.00mm x 14.00mm

1. 关于封装的详细信息见[封装信息](#)章节。

## 目录

<b>1</b>	<b>特性</b>	<b>1</b>
<b>2</b>	<b>应用</b>	<b>1</b>
<b>3</b>	<b>概述</b>	<b>1</b>
	目录	2
<b>4</b>	<b>引脚配置和定义</b>	<b>4</b>
4.1	引脚配置	4
4.2	引脚定义	5
<b>5</b>	<b>参数信息</b>	<b>9</b>
5.1	绝对最大额定值	9
5.2	热阻	9
5.3	技术规格	10
5.4	通用时序规格	14
5.5	并行模式时序规格	16
5.6	串行模式时序规格	18
5.7	典型性能特征	19
<b>6</b>	<b>工作原理</b>	<b>24</b>
6.1	转换器详解	24
6.2	模拟输入	24
6.3	ADC 传递函数	26
6.4	内部/外部基准电压源	27
6.5	关断模式	27
6.6	数字滤波器	28
<b>7</b>	<b>应用信息</b>	<b>29</b>
7.1	功能框图	29
7.2	功能概述	29
7.3	电源	29
7.4	典型连接	29
<b>8</b>	<b>器件配置</b>	<b>31</b>
8.1	工作模式	31
8.2	内部/外部基准电压源	31
8.3	数字接口	31
8.4	硬件模式	31
8.5	软件模式	32
8.6	复位功能	32
8.7	引脚功能概述	33
<b>9</b>	<b>数字接口</b>	<b>35</b>
9.1	通道选择	35
9.2	并行接口	36
9.3	串行接口	38
<b>10</b>	<b>序列器</b>	<b>41</b>
10.1	硬件模式序列器	41



---

10.2	软件模式序列器 .....	41
10.3	突发序列器 .....	42
<b>11</b>	<b>诊断 .....</b>	<b>45</b>
11.1	诊断通道 .....	45
11.2	接口自测 .....	46
11.3	CRC .....	46
<b>12</b>	<b>寄存器汇总 .....</b>	<b>49</b>
12.1	寻址寄存器 .....	49
12.2	配置寄存器 .....	50
12.3	通道寄存器 .....	52
12.4	输入范围寄存器 .....	53
12.5	序列器堆栈寄存器 .....	57
12.6	状态寄存器 .....	58
<b>13</b>	<b>封装信息 .....</b>	<b>59</b>
<b>14</b>	<b>采购信息 .....</b>	<b>60</b>
<b>15</b>	<b>版本历史 .....</b>	<b>61</b>

## 4 引脚配置和定义

### 4.1 引脚配置

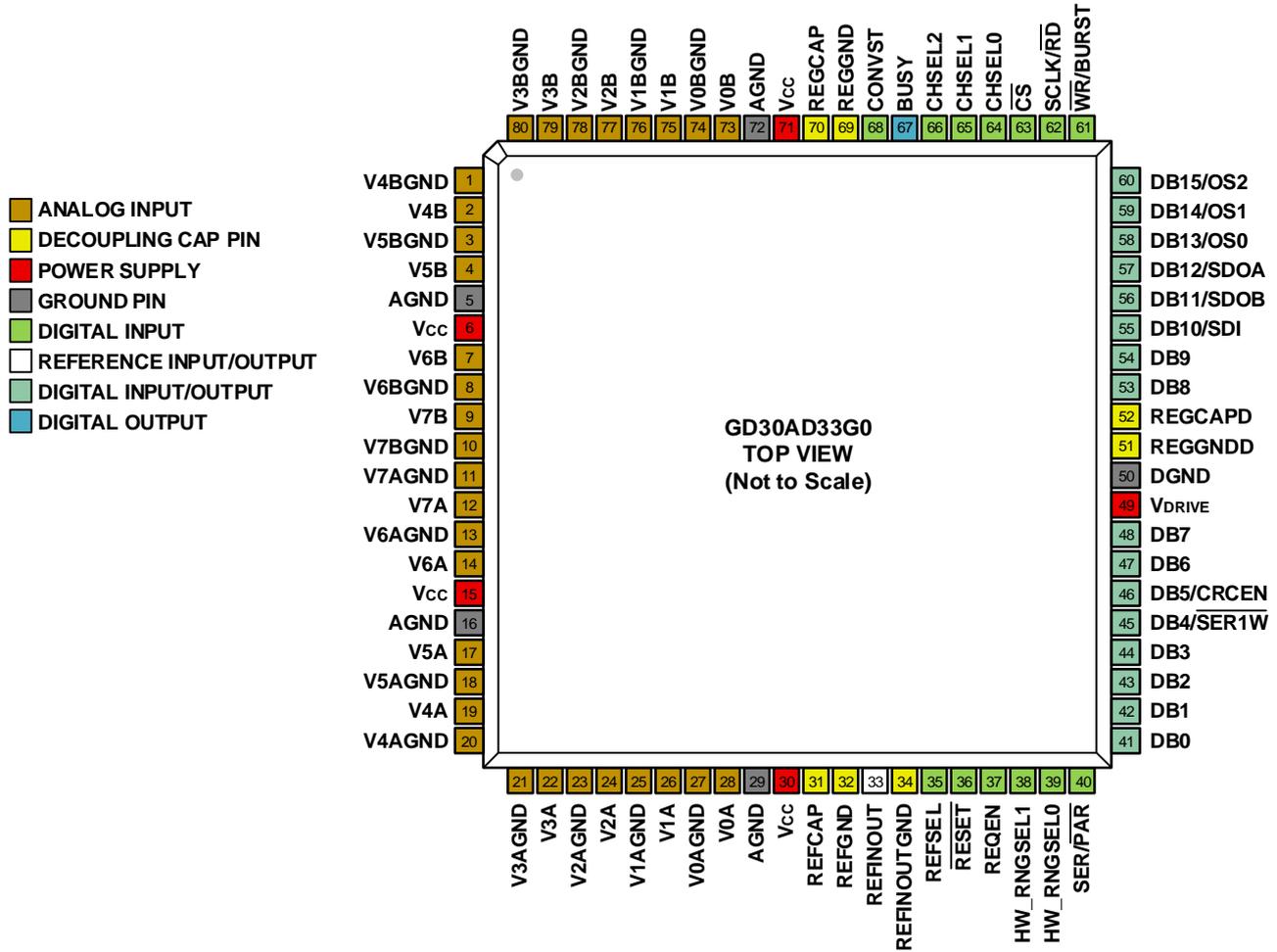


图 1. 引脚配置

## 4.2 引脚定义

引脚		类型 <sup>1</sup>	描述
名称 <sup>2</sup>	编号		
V4BGND	1	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V4B。
V4B	2	AI	通道 4 模拟输入, ADC B。
V5BGND	3	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V5B。
V5B	4	AI	通道 5 模拟输入, ADC B。
AGND	5, 16, 29, 72	P	模拟电源地引脚。
V <sub>cc</sub>	6, 15, 30, 71	P	模拟电源电压, 4.7 至 5.25 V。这是内部前端放大器和 ADC 内核的电源电压。这些引脚应利用 0.1 μF 和 10 μF 并联电容去耦至 AGND。
V6B	7	AI	通道 6 模拟输入, ADC B。
V6BGND	8	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V6B。
V7B	9	AI	通道 7 模拟输入, ADC B。
V7BGND	10	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V7B。
V7AGND	11	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V7A。
V7A	12	AI	通道 7 模拟输入, ADC A。
V6AGND	13	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V6A。
V6A	14	AI	通道 6 模拟输入, ADC A。
V5A	17	AI	模拟输入 V5A。
V5AGND	18	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V5A。
V4A	19	AI	模拟输入 V4A。
V4AGND	20	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V4A。
V3AGND	21	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V3A。
V3A	22	AI	通道 3 模拟输入, ADC A。
V2AGND	23	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V2A。
V2A	24	AI	通道 2 模拟输入, ADC A。
V1AGND	25	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V1A。
V1A	26	AI	通道 1 模拟输入, ADC A。
V0AGND	27	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V0A。
V0A	28	AI	通道 0 模拟输入, ADC A。
REFCAP	31	CAP	基准电压缓冲输出强制/检测引脚。利用低有效串联电阻 (ESR)、10 μF、X5R 陶瓷电容将此引脚去耦至 AGND, 电容应尽可能靠近 REFCAP 引脚。此引脚上的电压典型值为 4.096 V。
REFGND	32	CAP	基准电压接地引脚。此引脚应连接到 AGND。
REFINOUT	33	REF	基准电压输入/基准电压输出。当 REFSEL 引脚设置为逻辑高电平时, 此引脚提供 2.5 V 片内基准电压供外部使用。或者, 可将 REFSEL 引脚设置为逻辑低电平以禁用内部基准电压, 并将 2.5 V 外部基准电压施加到此输入端。无论使用内部还是外部基准电压, 都需要对此引脚去耦。应将一个 100 nF X8R 电容连接在 REFINOUT 引脚与 REFINOUTGND 之间且



引脚		类型 <sup>1</sup>	描述
名称 <sup>2</sup>	编号		
			尽可能靠近 REFINOUT 引脚。如果使用外部基准电压源，应将一个 10 kΩ 串联电阻连接到此引脚以限制基准信号带宽。
REFINOUTGND	34	CAP	基准电压输入、基准电压输出接地引脚。
REFSEL	35	DI	内部/外部基准电压选择输入。REFSEL 为逻辑输入。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFINOUT 引脚。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。
$\overline{\text{RESET}}$	36	DI	复位输入。提供完全和部分复位选项。复位类型由 $\overline{\text{RESET}}$ 脉冲长度决定。 $\overline{\text{RESET}}$ 保持低电平时，器件将被置于关断模式。详情参见“ <a href="#">复位功能</a> ”部分。
SEQEN	37	DI	通道序列器使能输入（仅硬件模式）。当 SEQEN 接低电平时，序列器禁用。当 SEQEN 为高电平时，序列器使能（硬件模式下功能受限）。详情参见“ <a href="#">序列器</a> ”部分。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。在软件模式下，此引脚必须连接到 DGND。
HW_RNGSEL1 HW_RNGSEL0	38, 39	DI	硬件/软件模式选择，硬件模式范围选择输入。完全复位时，硬件/软件模式选择被锁存。硬件模式下的范围选择不会被锁存。 HW_RNGSELx = 00: 软件模式；GD30AD33G0 通过软件寄存器配置。 HW_RNGSELx = 01: 硬件模式；模拟输入范围为 ±2.5 V。 HW_RNGSELx = 10: 硬件模式；模拟输入范围为 ±5 V。 HW_RNGSELx = 11: 硬件模式；模拟输入范围为 ±10 V。
SER/ $\overline{\text{PAR}}$	40	DI	串行/并行接口选择输入。逻辑输入。如果此引脚与逻辑低电平相连，则选择并行接口。如果此引脚与逻辑高电平相连，则选择串行接口。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。
DB0, DB1, DB2, DB3	41, 42, 43, 44	DO/DI	并行输出/输入数据位 0 至数据位 3。在并行模式下，这些引脚是输出/输入并行数据位 DB7 至 DB0。详情参见“ <a href="#">并行接口</a> ”部分。在串行模式下，这些引脚必须与 DGND 相连。
DB4/ $\overline{\text{SER1W}}$	45	DO/DI	并行输出/输入数据位 4/串行输出选择。在并行模式下，此引脚充当三态并行数字输出/输入引脚。详情参见“ <a href="#">并行接口</a> ”部分。 在串行模式下，此引脚决定串行输出是工作在 SDOA 和 SDOB 上，还是仅工作在 SDOA 上。当 $\overline{\text{SER1W}}$ 为低电平时，串行输出 仅工作在 SDOA 上；当 $\overline{\text{SER1W}}$ 为高电平时，串行输出工作在 SDOA 和 SDOB 上。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。
DB5	46	DO/DI	并行输出/输入数据位 5。在并行模式下，此引脚充当三态并行数字输入/输出。在软件模式下，此引脚必须连接到 DGND。
DB6, DB7	47, 48	DO/DI	并行输出/输入数据位 6 和数据位 7。当 SER/ $\overline{\text{PAR}}$ = 0 时，这些引脚充当三态并行数字输入/输出。详情参见“ <a href="#">并行接口</a> ”部分。 在串行模式下，当 SER/ $\overline{\text{PAR}}$ = 1 时，这些引脚必须与 DGND 相连。
V <sub>DRIVE</sub>	49	P	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。此引脚的标称电源与主机接口电源相同。此引脚应利用 0.1 μF 和 10 μF 并联电容去耦。
DGND	50	P	数字地。此引脚是 GD30AD33G0 上所有数字电路的接地基准点。DGND 引脚必须连接到系统的 DGND 层。



引脚		类型 <sup>1</sup>	描述
名称 <sup>2</sup>	编号		
REGGND	51	CAP	连接到 REGCAPD (引脚 52) 的数字低压差 (LDO) 稳压器的地。
REGCAPD	52	CAP	内部数字稳压器电压输出的去耦电容引脚。应将此输出引脚通过一 10 $\mu\text{F}$ 电容独立去耦至 REGGND。此引脚的电压典型值为 1.89 V。
DB8, DB9	53, 54	DO/DI	并行输出/输入数据位 9 和数据位 8。当 $\overline{\text{SER}}/\overline{\text{PAR}}=0$ 时, 这些引脚充当三态并行数字输入/输出。详情参见“ <a href="#">并行接口</a> ”部分。 在串行模式下, 当 $\overline{\text{SER}}/\overline{\text{PAR}}=1$ 时, 这些引脚必须与 DGND 相连。
DB10/SDI	55	DO/DI	并行输出/输入数据位 DB10/串行数据输出。当 $\overline{\text{SER}}/\overline{\text{PAR}}=0$ 时, 此引脚充当三态并行数字输入/输出。详情参见“ <a href="#">并行接口</a> ”部分。在硬件串行模式下, 此引脚应与 DGND 相连。 在串行模式下, 当 $\overline{\text{SER}}/\overline{\text{PAR}}=1$ 时, 此引脚用作 SPI 接口的数据输入。
DB11/SDOB	56	DO/DI	并行输出/输入数据位 11/串行数据输出 B。当 $\overline{\text{SER}}/\overline{\text{PAR}}=0$ 时, 此引脚充当三态并行数字输入/输出。详情参见“ <a href="#">并行接口</a> ”部分。 在串行模式下, 当 $\overline{\text{SER}}/\overline{\text{PAR}}=1$ 时, 此引脚用作 SDOB, 输出串行转换数据。
DB12/SDOA	57	DO/DI	并行输出/输入数据位 12/串行数据输出 A。当 $\overline{\text{SER}}/\overline{\text{PAR}}=0$ 时, 此引脚充当三态并行数字输入/输出。详情参见“ <a href="#">并行接口</a> ”部分。 在串行模式下, 当 $\overline{\text{SER}}/\overline{\text{PAR}}=1$ 时, 此引脚用作 SDOA, 输出串行转换数据。
DB13/OS0, DB14/OS1, DB15/OS2.	58, 59, 60	DO/DI	并行输出/输入数据位 13、数据位 14 和数据位 15/过采样率选择。当 $\overline{\text{SER}}/\overline{\text{PAR}}=0$ 时, 这些引脚充当三态并行数字输入/输出。详情参见“ <a href="#">并行接口</a> ”部分。 在串行硬件模式下, 这些引脚控制过采样设置。完全复位释放时, 信号状态被锁存, 需要再一次完全复位才能重新配置。详情参见“ <a href="#">数字滤波器</a> ”部分。 在软件串行模式下, 这些引脚必须连接到 DGND。
$\overline{\text{WR}}/\text{BURST}$	61	DI	写入/突发模式使能。 在软件并行模式下, 此引脚用作并行接口的 $\overline{\text{WR}}$ 。 在硬件并行或串行模式下, 此引脚使能 BURST 模式。完全复位释放时, 信号状态被锁存, 需要再一次完全复位才能重新配置。详情参见“ <a href="#">突发序列器</a> ”部分。 在软件串行模式下, 此引脚应连接到 DGND。
SCLK/ $\overline{\text{RD}}$	62	DI	串行时钟输入/并行数据读取控制输入。在串行模式下, 此引脚用作数据传输的串行时钟输入。 $\overline{\text{CS}}$ 下降沿使数据输出线路 SDOA 和 SDOB 脱离三态, 并输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 SDOA 和 SDOB。 在并行模式下, 如果 $\overline{\text{CS}}$ 和 RD 均处于逻辑低电平, 则使能输出总线。
$\overline{\text{CS}}$	63	DI	片选。此低电平有效逻辑输入使能数据帧传输。 在并行模式下, 如果 $\overline{\text{CS}}$ 和 RD 均处于逻辑低电平, 则会使能 DBx 输出总线, 转换结果通过并行数据总线输出。 在串行模式下, 利用 $\overline{\text{CS}}$ 使能串行读取帧传输, 并输出串行输出数据的 MSB。

引脚		类型 <sup>1</sup>	描述
名称 <sup>2</sup>	编号		
CHSEL0, CHSEL1, CHSEL2.	64, 65, 66	DI	通道选择输入 0 至输入 2。在硬件模式下, 这些输入在通道组 A 和通道组 B 中选择下一转换的输入通道。例如, CHSELx = 0x000 选择 V0A 和 V0B 进行下一转换; CHSELx = 0x001 选择 V1A 和 V1B 进行下一转换。 在软件模式下, 这些引脚必须连接到 DGND。
BUSY	67	DO	输出繁忙。CONVST 上升沿之后, 此引脚变为逻辑高电平, 表示转换过程已开始。 BUSY 输出保持高电平, 直到当前选定通道的转换过程完成为止。BUSY 下降沿表示转换数据正被锁存至输出数据寄存器, 稍后便可供读取。数据必须在 BUSY 变为低电平之后读取。当 BUSY 信号为高电平时, CONVST 的上升沿不起作用。
CONVST	68	DI	通道组 A 和通道组 B 的转换开始输入。此逻辑输入启动模拟输入通道上的转换。 对于选定的模拟输入对, 当 CONVST 从低电平变为高电平时, 转换启动。当突发模式和过采样模式被禁用时, 每次 CONVST 从低电平变为高电平都会转换一对通道。在序列器模式下, 当突发模式或过采样模式使能时, 为了执行所需数量的转换, 只需 CONVST 从低电平变为高电平一次。
REGGND	69	CAP	内部模拟稳压器地。此引脚必须连接到系统的 AGND 层。
REGCAP	70	CAP	内部模拟稳压器电压输出的去耦电容引脚。应将此输出引脚通过一 10 μF 电容独立去耦至 REGGND。此引脚的电压典型值为 1.87 V。
V0B	73	AI	通道 0 模拟输入, ADC B。
V0BGND	74	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V0B。
V1B	75	AI	通道 1 模拟输入, ADC B。
V1BGND	76	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V1B。
V2B	77	AI	通道 2 模拟输入, ADC B。
V2BGND	78	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V2B。
V3B	79	AI	通道 3 模拟输入, ADC B。
V3BGND	80	AI GND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V3B。

1. AI 代表模拟输入, GND 代表地, P 代表电源, REF 代表基准电压输入/输出, DI 代表数字输入, DO 代表数字输出, CAP 代表去耦电容引脚。
2. 请注意, 在整篇数据手册中, 多功能引脚 (如 SER/PAR) 由整个引脚名称或引脚的单个功能表示; 例如 SER 即表示仅与此功能相关。

## 5 参数信息

### 5.1 绝对最大额定值

除非另有说明  $T_A = 25\text{ }^\circ\text{C}$ 。

参数	额定值
$V_{CC}$ 至 AGND	-0.3 V 至 +7 V
$V_{DRIVE}$ 至 AGND	-0.3 V 至 $V_{CC} + 0.3\text{ V}$
模拟输入电压至 AGND <sup>1</sup>	$\pm 25\text{ V}$
数字输入电压至 AGND	-0.3 V 至 $V_{DRIVE} + 0.3\text{ V}$
数字输出电压至 AGND	-0.3 V 至 $V_{DRIVE} + 0.3\text{ V}$
REFINOUT 至 AGND	-0.3 V 至 $V_{CC} + 0.3\text{ V}$
输入电流至除电源外的任何引脚 <sup>1</sup>	$\pm 10\text{ mA}$
工作温度范围	-40 $^\circ\text{C}$ 至 +125 $^\circ\text{C}$
存储温度范围	-65 $^\circ\text{C}$ 至 +150 $^\circ\text{C}$
结温	150 $^\circ\text{C}$
回流焊	
铅锡焊接温度 (10 秒到 30 秒)	240 (+0) $^\circ\text{C}$
无铅焊接温度	260 (+0) $^\circ\text{C}$
ESD	
除模拟输入外的所有引脚	2 kV
仅模拟输入引脚	7 kV

- 100 mA 以下的瞬态电流不会造成硅控整流器 (SCR) 闩锁。
- 注意：等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

### 5.2 热阻

热性能与印刷电路板 (PCB) 设计和工作环境直接相关，必须慎重对待 PCB 散热设计。 $\Theta_{JA}$  是自然对流下的结至环境热阻，在 1 立方英尺的密封外罩种测量， $\Theta_{JC}$  是结至外壳热阻。

封装类型	$\Theta_{JA}$	$\Theta_{JC}$	单位
LQFP80 <sup>1</sup>	41	7.5	$^\circ\text{C/W}$

- 热阻仿真值基于 JEDEC 2S2P 热测试板，参见 JEDEC JESD51。

### 5.3 技术规格

除非另有说明， $V_{REF} = 2.5\text{ V}$  外部/内部基准电压， $V_{CC} = 4.75\text{ V}$  至  $5.25\text{ V}$ ， $V_{DRIVE} = 2.3\text{ V}$  至  $3.6\text{ V}$ ， $f_{SAMPLE} = 1\text{ MSPS}$ ， $T_A = -40\text{ }^\circ\text{C}$  至  $+125\text{ }^\circ\text{C}$ 。

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	$f_{IN} = 1\text{ kHz}$ 正弦波，除非另有说明				
信噪比(SNR) <sup>1</sup>	无过采样， $\pm 10\text{ V}$ 范围	89	90.5		dB
	无过采样， $\pm 5\text{ V}$ 范围	87	88		
	无过采样， $\pm 2.5\text{ V}$ 范围	85	86		
信纳比(SINAD)	无过采样， $\pm 10\text{ V}$ 范围	88.5	90		dB
	无过采样， $\pm 5\text{ V}$ 范围	86	87.5		
	无过采样， $\pm 2.5\text{ V}$ 范围	84	85.5		
动态范围	无过采样， $\pm 10\text{ V}$ 范围		92		dB
	无过采样， $\pm 5\text{ V}$ 范围		90.5		
	无过采样， $\pm 2.5\text{ V}$ 范围		88		
总谐波失真(THD)	无过采样， $\pm 10\text{ V}$ 范围		-102	-93.5	dB
	无过采样， $\pm 5\text{ V}$ 范围		-103		
	无过采样， $\pm 2.5\text{ V}$ 范围		-104		
峰值谐波或杂散噪声			-102		dB
通道间隔离	未选中通道的 $f_{IN}$ 最高可达 $5\text{ kHz}$		-106		dB
<b>模拟输入滤波器</b>					
全功率带宽	-3 dB		25		kHz
	-0.1 dB		3.9		
相位延迟 <sup>2</sup>	$\pm 10\text{ V}$ 范围		6.9		$\mu\text{s}$
	$\pm 5\text{ V}$ 范围		6.7		
	$\pm 2.5\text{ V}$ 范围		6		
相位延迟匹配				200	ns
<b>直流精度</b>					
分辨率	无失码	16			Bits
差分非线性 (DNL)			$\pm 0.5$	$\pm 0.99$	LSB <sup>4</sup>
积分非线性 (INL)			$\pm 1$	$\pm 2$	LSB
总不可调整误差 (TUE)	$\pm 10\text{ V}$ 范围		$\pm 6$		LSB
	$\pm 5\text{ V}$ 范围		$\pm 8$		
	$\pm 2.5\text{ V}$ 范围		$\pm 10$		
正满量程误差 <sup>4</sup>					
外部基准电压源	$\pm 10\text{ V}$ 范围		$\pm 3$	$\pm 32$	LSB
	$\pm 5\text{ V}$ 范围		$\pm 4$		
	$\pm 2.5\text{ V}$ 范围		$\pm 5$		
内部基准电压源	$\pm 10\text{ V}$ 范围		$\pm 3$		LSB

## 技术规格（接上一页）

除非另有说明， $V_{REF} = 2.5\text{ V}$  外部/内部基准电压， $V_{CC} = 4.75\text{ V}$  至  $5.25\text{ V}$ ， $V_{DRIVE} = 1.71\text{ V}$  至  $5\text{ V}$ ， $f_{SAMPLE} = 1\text{ MSPS}$ ， $T_A = -40\text{ }^\circ\text{C}$  至  $+125\text{ }^\circ\text{C}$ 。

参数	测试条件/注释	最小值	典型值	最大值	单位
正满量程 (PFS) 误差漂移 <sup>2</sup>	外部基准电压源		$\pm 2$	$\pm 5$	ppm/ $^\circ\text{C}$
	内部基准电压源		$\pm 3$	$\pm 10$	
正满量程误差匹配	$\pm 10\text{ V}$ 范围		4		LSB
	$\pm 5\text{ V}$ 范围		4		
	$\pm 2.5\text{ V}$ 范围		8		
双极性零代码误差	$\pm 10\text{ V}$ 范围		$\pm 1$	$\pm 8$	LSB
	$\pm 5\text{ V}$ 范围		$\pm 1$	$\pm 10$	
	$\pm 2.5\text{ V}$ 范围		$\pm 1.5$	$\pm 15$	
双极性零代码误差漂移 <sup>2</sup>	$\pm 10\text{ V}$ 范围		$\pm 6$	$\pm 20.4$	$\mu\text{V}/^\circ\text{C}$
	$\pm 5\text{ V}$ 范围		$\pm 3.6$		
	$\pm 2.5\text{ V}$ 范围		$\pm 2.5$		
双极性零代码误差匹配	$\pm 10\text{ V}$ 范围		$\pm 2$	$\pm 10$	LSB
	$\pm 5\text{ V}$ 范围		$\pm 3$		
	$\pm 2.5\text{ V}$ 范围		$\pm 3$		
负满量程 (NFS) 误差 <sup>4</sup>	外部基准电压源				LSB
	$\pm 10\text{ V}$ 范围		$\pm 3$	$\pm 32$	
	$\pm 5\text{ V}$ 范围		$\pm 4$		
	$\pm 2.5\text{ V}$ 范围		$\pm 5$		
	内部基准电压源				LSB
	$\pm 10\text{ V}$ 范围		$\pm 3$		
负满量程误差漂移 <sup>2</sup>	外部基准电压源		$\pm 2$	$\pm 5$	ppm/ $^\circ\text{C}$
	内部基准电压源		$\pm 3$	10	
负满量程误差匹配	$\pm 10\text{ V}$ 范围		4		LSB
	$\pm 5\text{ V}$ 范围		4		
	$\pm 2.5\text{ V}$ 范围		8		
<b>模拟输入</b>					
输入电压范围	软件/硬件可选			$\pm 10$	V
	软件/硬件可选			$\pm 5$	
	软件/硬件可选			$\pm 2.5$	
模拟输入电流	$\pm 10\text{ V}$ 范围		10		$\mu\text{A}$
	$\pm 5\text{ V}$ 范围		5		
	$\pm 2.5\text{ V}$ 范围		2.5		
输入电容 <sup>5</sup>			5		pF
输入阻抗	见“ <a href="#">模拟输入</a> ”部分	1			M $\Omega$

## 技术规格（接上一页）

除非另有说明， $V_{REF} = 2.5\text{ V}$  外部/内部基准电压， $V_{CC} = 4.75\text{ V}$  至  $5.25\text{ V}$ ， $V_{DRIVE} = 1.71\text{ V}$  至  $5\text{ V}$ ， $f_{SAMPLE} = 1\text{ MSPS}$ ， $T_A = -40\text{ }^\circ\text{C}$  至  $+125\text{ }^\circ\text{C}$ 。

参数	测试条件/注释	最小值	典型值	最大值	单位
<b>基准电压输入/输出</b>					
基准输入电压范围	见“ADC 传递函数”部分	2.495	2.5	2.505	V
直流漏电流				$\pm 0.1$	$\mu\text{A}$
输入电容 <sup>5</sup>	REFSEL = 1		7.5		pF
基准输出电压	REFINOUT	2.495	2.5	2.505	V
基准源温度系数 <sup>2</sup>			$\pm 3$	$\pm 15$	ppm/ $^\circ\text{C}$
<b>逻辑输入</b>					
输入电压					
高 ( $V_{INH}$ )	$V_{DRIVE} = 2.7\text{ V}$ 至 $3.6\text{ V}$	2			V
	$V_{DRIVE} = 2.3\text{ V}$ 至 $2.7\text{ V}$	1.7			
低 ( $V_{INL}$ )	$V_{DRIVE} = 2.7\text{ V}$ 至 $3.6\text{ V}$			0.8	V
	$V_{DRIVE} = 2.3\text{ V}$ 至 $2.7\text{ V}$			0.7	
输入电流 ( $I_{IN}$ )				$\pm 1$	$\mu\text{A}$
输入电容 ( $C_{IN}$ ) <sup>5</sup>			5		pF
<b>逻辑输出</b>					
输出电压					
高 ( $V_{OH}$ )	$I_{SOURCE} = 100\text{ }\mu\text{A}$	$V_{DRIVE} - 0.2$			V
低 ( $V_{OL}$ )	$I_{SINK} = 100\text{ }\mu\text{A}$			0.4	V
悬空态漏电流			$\pm 0.005$	$\pm 1$	$\mu\text{A}$
悬空态输出电容 <sup>5</sup>			5		pF
输出编码	二进制补码				
<b>转换速率</b>					
转换时间	每对通道		0.55		$\mu\text{s}$
采集时间	每对通道		0.45		$\mu\text{s}$
吞吐速率	每对通道			1	MSPS
<b>电源要求</b>					
$V_{CC}$		4.75		5.25	V
$V_{DRIVE}$		2.3		3.6	V
$I_{VCC}$					
正常模式					
静态			21	27	mA
工作	$f_{SAMPLE} = 1\text{ MSPS}$		25	31	mA
关断模式			4		$\mu\text{A}$
$I_{DRIVE}$	数字输入 = 0 V 或 $V_{DRIVE}$				

## 技术规格（接上一页）

除非另有说明， $V_{REF} = 2.5\text{ V}$  外部/内部基准电压， $V_{CC} = 4.75\text{ V}$  至  $5.25\text{ V}$ ， $V_{DRIVE} = 1.71\text{ V}$  至  $5\text{ V}$ ， $f_{SAMPLE} = 1\text{ MSPS}$ ， $T_A = -40\text{ }^\circ\text{C}$  至  $+125\text{ }^\circ\text{C}$ 。

参数	测试条件/注释	最小值	典型值	最大值	单位
正常模式					
静态			0.7	0.85	mA
工作	$f_{SAMPLE} = 1\text{ MSPS}$		4.6	4.9	mA
关断模式			85		$\mu\text{A}$
功耗					
正常模式					
静态			130	150	mW
工作	$f_{SAMPLE} = 1\text{ MSPS}$		160	180	mW
关断模式			2.8		mW

1. 通过使能过采样，用户可实现 **93 dB SNR**，这些值对手动模式有效，在突发模式下，这些值要降低大约 **1 dB**。
2. 未经生产测试。样片在初次发布期间均经过测试，以确保符合标准要求。
3. LSB 表示最低有效位。 $\pm 2.5\text{ V}$  输入范围时， $1\text{ LSB} = 76.293\text{ }\mu\text{V}$ ； $\pm 5\text{ V}$  输入范围时， $1\text{ LSB} = 152.58\text{ }\mu\text{V}$ ； $\pm 10\text{ V}$  输入范围时， $1\text{ LSB} = 305.175\text{ }\mu\text{V}$ 。
4. 内部基准源的正负满量程误差不包括基准源误差。
5. 仿真数据支持。

## 5.4 通用时序规格

除非另有说明， $V_{CC} = 4.75\text{ V}$  至  $5.25\text{ V}$ ， $V_{DRIVE} = 2.3\text{ V}$  至  $3.6\text{ V}$ ， $V_{REF} = 2.5\text{ V}$  外部/内部基准电压， $T_A = -40\text{ }^\circ\text{C}$  至  $+125\text{ }^\circ\text{C}$ 。接口时序利用  $30\text{ pF}$  负载电容进行测试，取决于  $V_{DRIVE}$  和串行接口的负载电容。

参数 <sup>1</sup>	描述	最小值	典型值	最大值	单位
$t_{CYCLE}$	连续 CONVST 上升沿之间的最短时间（不包括突发和过采样模式）	1			$\mu\text{s}$
$t_{CONV\_LOW}$	CONVST 低电平脉冲宽度	80			ns
$t_{CONV\_HIGH}$	CONVST 高电平脉冲宽度	80			ns
$t_{BUSY\_DELAY}$	CONVST 高电平到 BUSY 高电平（手动模式）			32	ns
$t_{CS\_SETUP}$	BUSY 下降沿到 $\overline{CS}$ 下降沿建立时间	20			ns
$t_{CH\_SETUP}$	硬件模式下 CHSELx 的通道选择建立时间	50			ns
$t_{CH\_HOLD}$	硬件模式下 CHSELx 的通道选择保持时间	20			ns
$t_{CONV}$	选定通道对的转换时间		475	520	ns
$t_{ACQ}$	选定通道对的采集时间	480			ns
$t_{QUIET}$	$\overline{CS}$ 上升沿到下一 CONVST 上升沿	50			ns
$t_{RESET\_LOW}$					
部分复位	部分 $\overline{RESET}$ 低电平脉冲宽度	40		500	ns
完全复位	完全 $\overline{RESET}$ 低电平脉冲宽度	1.2			$\mu\text{s}$
$t_{DEVICE\_SETUP}$					
部分复位	部分 $\overline{RESET}$ 高电平到 CONVST 上升沿之间的时间	50			ns
完全复位	完全 $\overline{RESET}$ 高电平到 CONVST 上升沿之间的时间	15			ms
$t_{WRITE}$					
部分复位	对于写操作，部分 $\overline{RESET}$ 高电平到 $\overline{CS}$ 之间的时间	50			ns
完全复位	对于写操作，完全 $\overline{RESET}$ 高电平到 $\overline{CS}$ 之间的时间	240			$\mu\text{s}$
$t_{RESET\_WAIT}$	稳定 $V_{CC}/V_{DRIVE}$ 到 $\overline{RESET}$ 释放之间的时间	1			ms
$t_{RESET\_SETUP}$	$\overline{RESET}$ 释放之前被查询的硬件输入必须保持稳定的时间				
部分复位		10			ns
完全复位		0.05			ms
$t_{RESET\_HOLD}$	$\overline{RESET}$ 释放之后被查询的硬件输入必须保持稳定的时间				
部分复位		10			ns
完全复位		0.24			ms

1. 未经生产测试。样片在初次发布期间均经过测试，以确保符合标准要求。

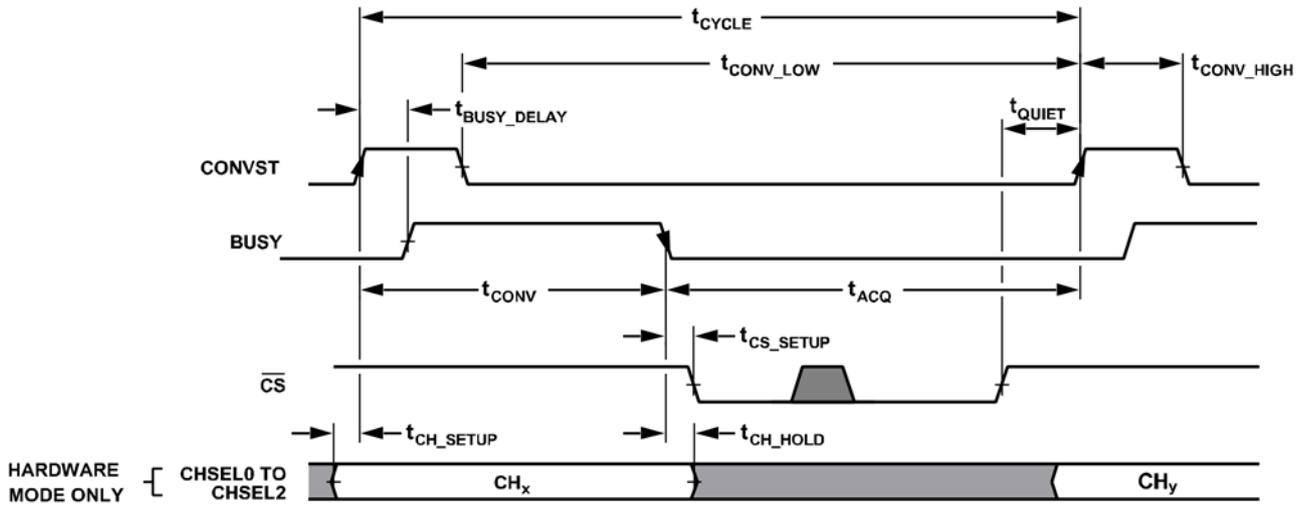


图 2. 所有接口的通用时序图

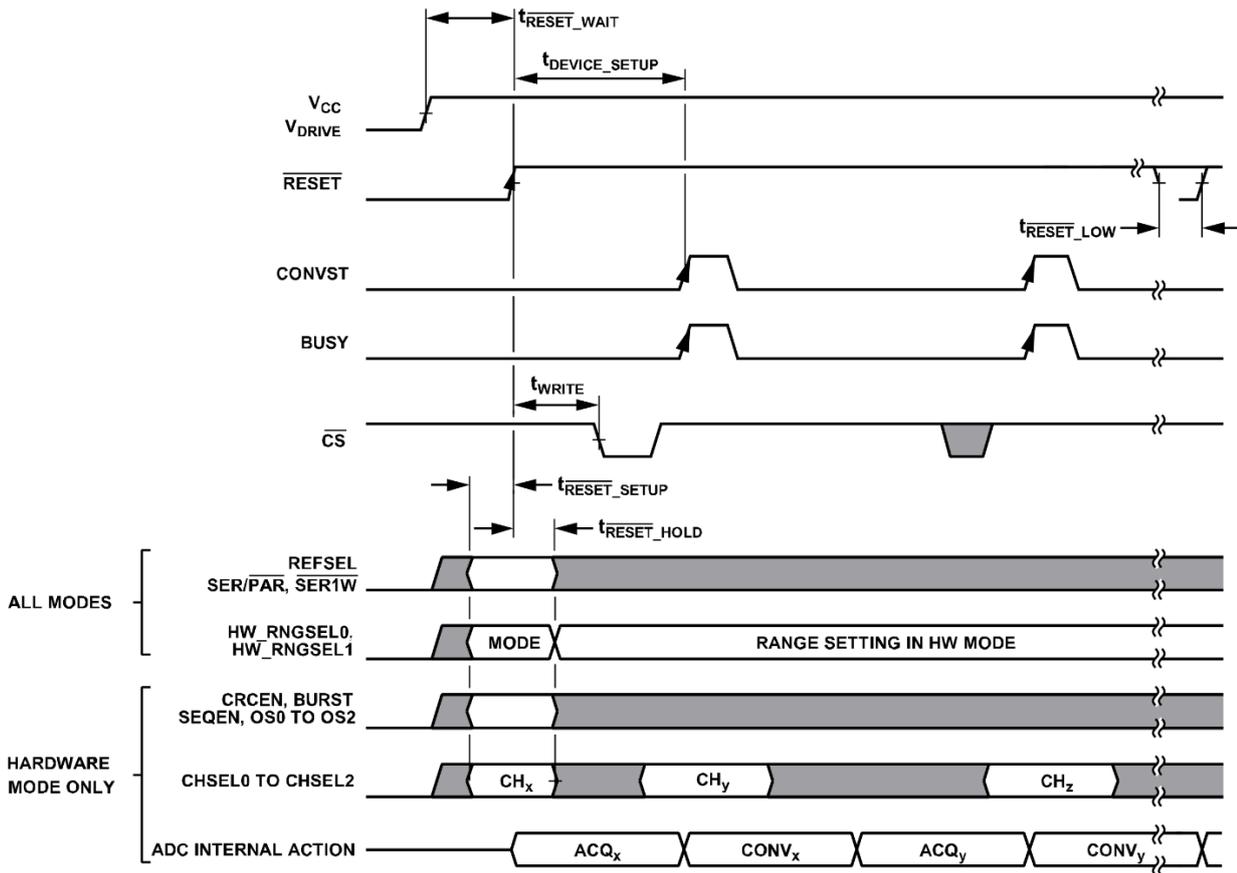


图 3. 复位时序图

### 5.5 并行模式时序规格

参数	最小值	典型值	最大值	单位	描述
$t_{RD\_SETUP}$	0			ns	$\overline{CS}$ 下降沿到 $\overline{RD}$ 下降沿建立时间
$t_{RD\_HOLD}$	0			ns	$\overline{RD}$ 上升沿到 $\overline{CS}$ 上升沿保持时间
$t_{RD\_HIGH}$	10			ns	$\overline{RD}$ 高电平脉冲宽度
$t_{RD\_LOW}$	30			ns	$\overline{RD}$ 低电平脉冲宽度
$t_{DOUT\_SETUP}$			30	ns	下降沿后的数据访问时间 $\overline{RD}$
$t_{DOUT\_3STATE}$			11	ns	$\overline{CS}$ 上升沿到 $\overline{DBx}$ 高阻抗状态
$t_{WR\_SETUP}$	10			ns	$\overline{CS}$ 到 $\overline{WR}$ 建立时间
$t_{WR\_HIGH}$	20			ns	$\overline{WR}$ 高电平脉冲宽度
$t_{WR\_LOW}$	30			ns	$\overline{WR}$ 低电平脉冲宽度
$t_{WR\_HOLD}$	10			ns	$\overline{WR}$ 保持时间
$t_{DIN\_SETUP}$	30			ns	配置数据到 $\overline{WR}$ 建立时间
$t_{DIN\_HOLD}$	10			ns	配置数据到 $\overline{WR}$ 保持时间
$t_{CONF\_SETTLE}$	20			ns	配置数据稳定时间, $\overline{WR}$ 上升沿到 $\overline{CONVST}$ 上升沿

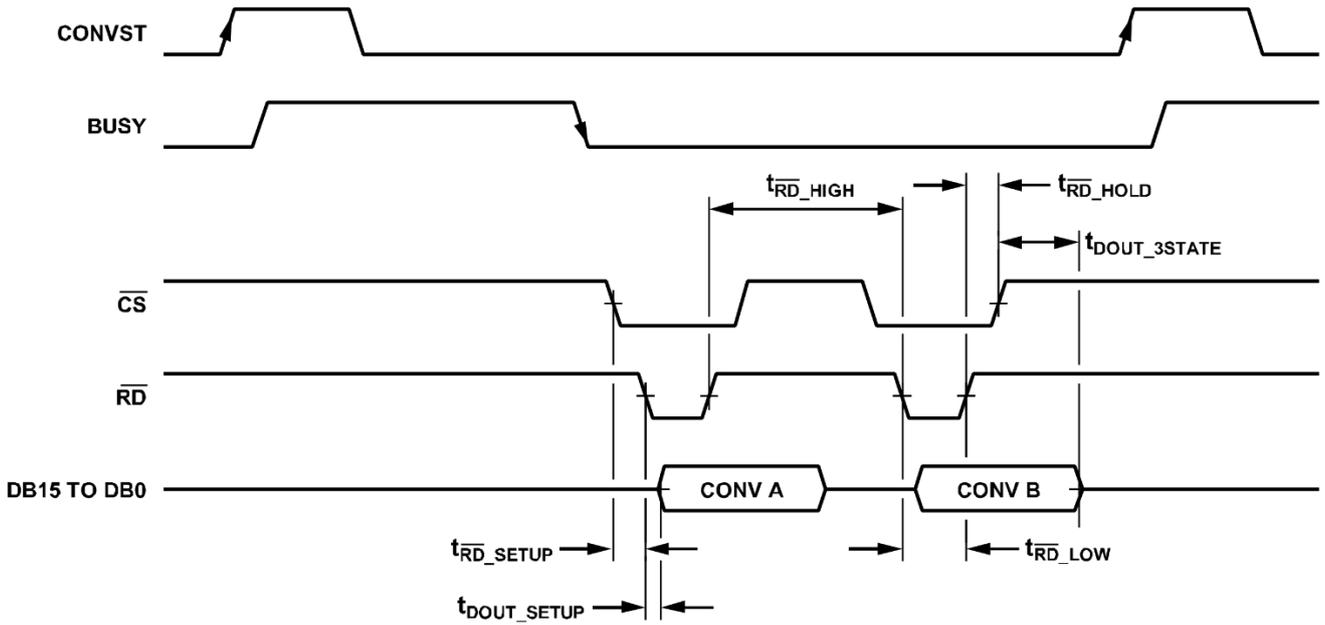


图 4. 并行读取时序图

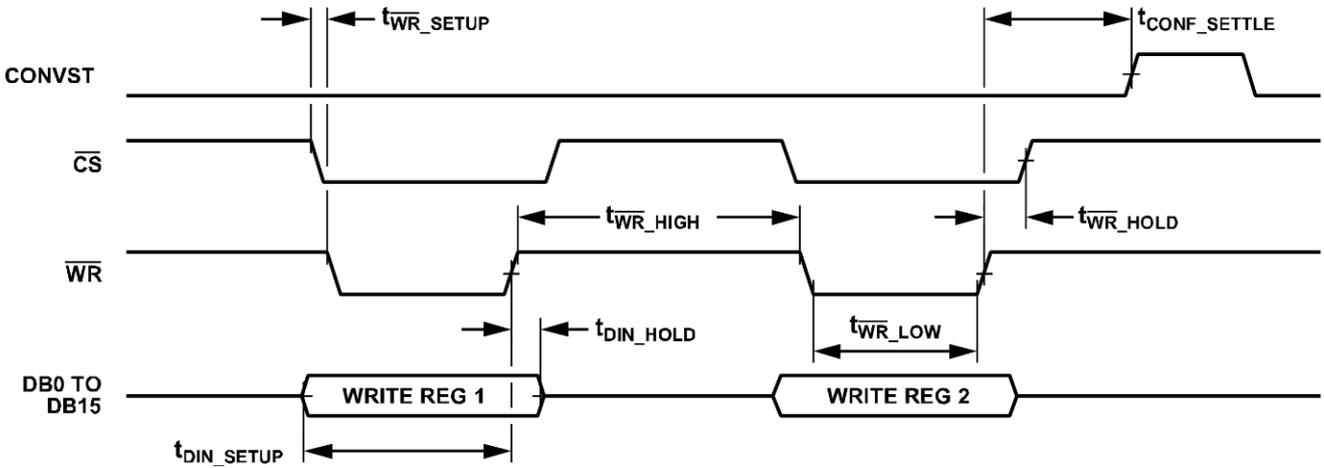


图 5. 并行写入时序图

## 5.6 串行模式时序规格

参数	最小值	典型值	最大值	单位	描述
$f_{SCLK}^1$			40/50	MHz	SCLK 频率
$t_{SCLK}$	$1/f_{SCLK}$				最短 SCLK 周期
$t_{SCLK\_SETUP}^1$	10.5			ns	$\overline{CS}$ 到 SCLK 下降沿建立时间, $V_{DRIVE}$ 高于 3 V
	13.5			ns	$\overline{CS}$ 到 SCLK 下降沿建立时间, $V_{DRIVE}$ 高于 2.3 V
$t_{SCLK\_HOLD}$	10			ns	SCLK 到 $\overline{CS}$ 上升沿保持时间
$t_{SCLK\_LOW}$	8			ns	SCLK 低电平脉宽
$t_{SCLK\_HIGH}$	9			ns	SCLK 高电平脉宽
$t_{DOUT\_SETUP}^1$			9	ns	SCLK 上升沿后的数据输出访问时间, $V_{DRIVE}$ 高于 3 V
			11	ns	SCLK 上升沿后的数据输出访问时间, $V_{DRIVE}$ 高于 2.3 V
$t_{DOUT\_HOLD}$	4			ns	SCLK 上升沿后的数据输出保持时间
$t_{DIN\_SETUP}$	10			ns	SCLK 下降沿前的数据输入建立时间
$t_{DIN\_HOLD}$	8			ns	SCLK 下降沿后的数据输入保持时间
$t_{DOUT\_3STATE}$			10	ns	$\overline{CS}$ 上升沿到 SDOx 高阻抗状态

1. 取决于  $V_{DRIVE}$  和负载电容 (见表 6)。

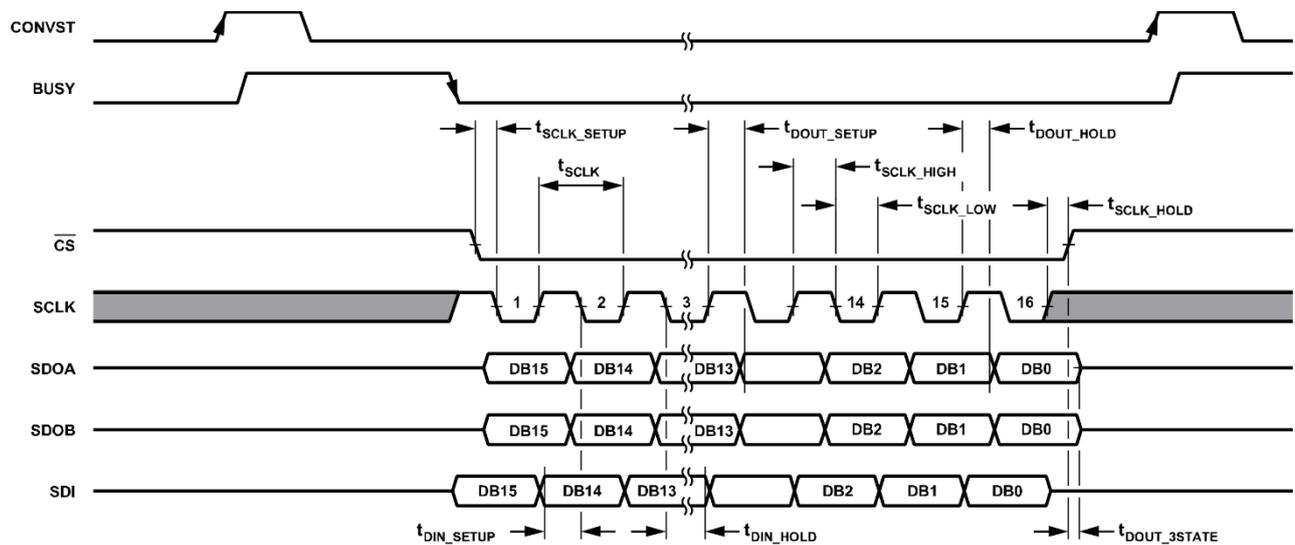
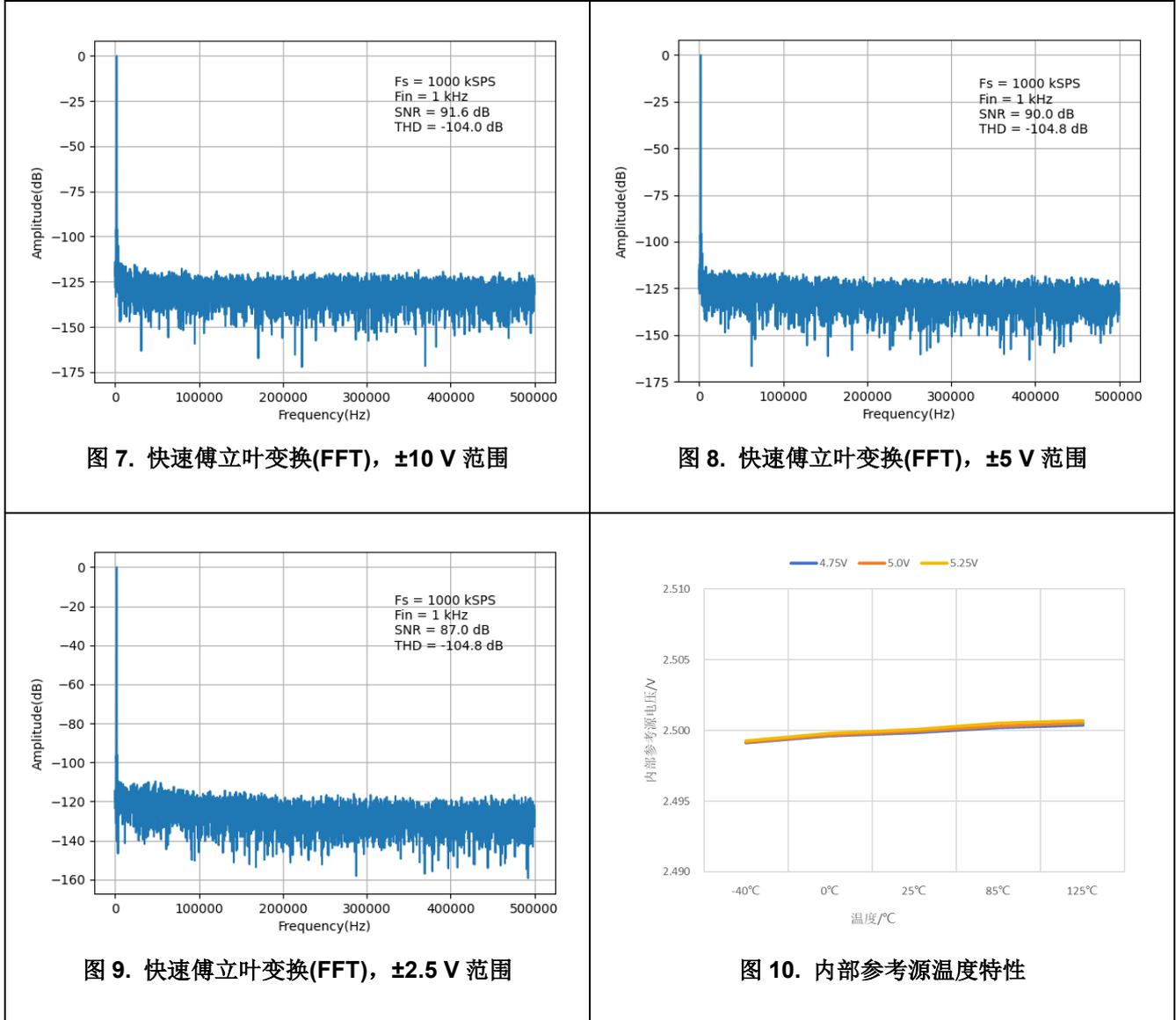


图 6. 串行时序图

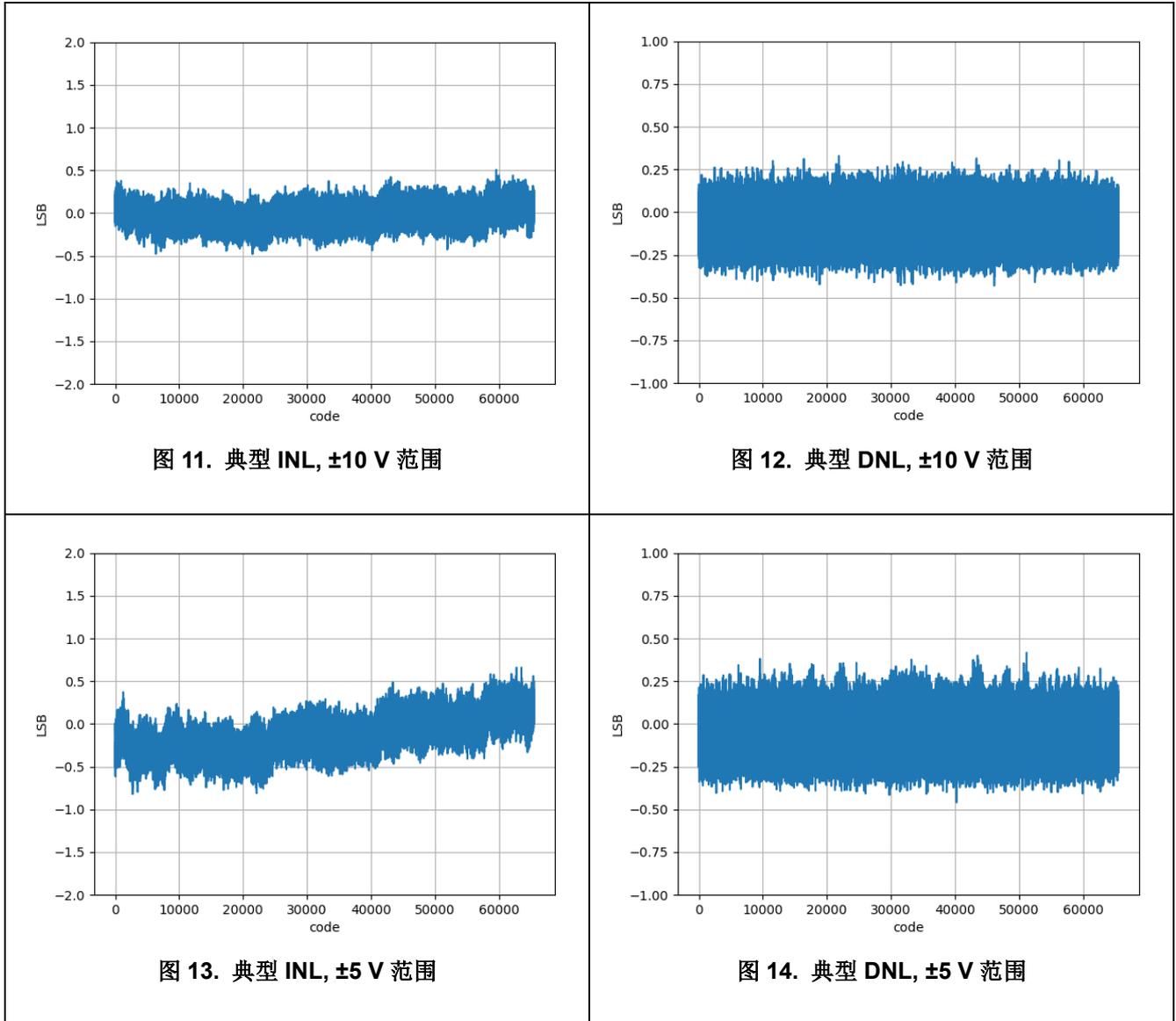
### 5.7 典型性能特征

除非另有说明,  $V_{REF} = 2.5\text{ V}$  (内部),  $V_{CC} = 5\text{ V}$ ,  $V_{DRIVE} = 3.3\text{ V}$ ,  $f_{SAMPLE} = 1\text{ MSPS}$ ,  $f_{IN} = 1\text{ kHz}$ ,  $T_A = 25^\circ\text{C}$ 。



### 典型性能参数（接上一页）

除非另有说明， $V_{REF} = 2.5\text{ V}$ （内部）， $V_{CC} = 5\text{ V}$ ， $V_{DRIVE} = 3.3\text{ V}$ ， $f_{SAMPLE} = 1\text{ MSPS}$ ， $f_{IN} = 1\text{ kHz}$ ， $T_A = 25^\circ\text{C}$ 。



### 典型性能参数（接上一页）

除非另有说明， $V_{REF} = 2.5\text{ V}$ （内部）， $V_{CC} = 5\text{ V}$ ， $V_{DRIVE} = 3.3\text{ V}$ ， $f_{SAMPLE} = 1\text{ MSPS}$ ， $f_{IN} = 1\text{ kHz}$ ， $T_A = 25^\circ\text{C}$ 。

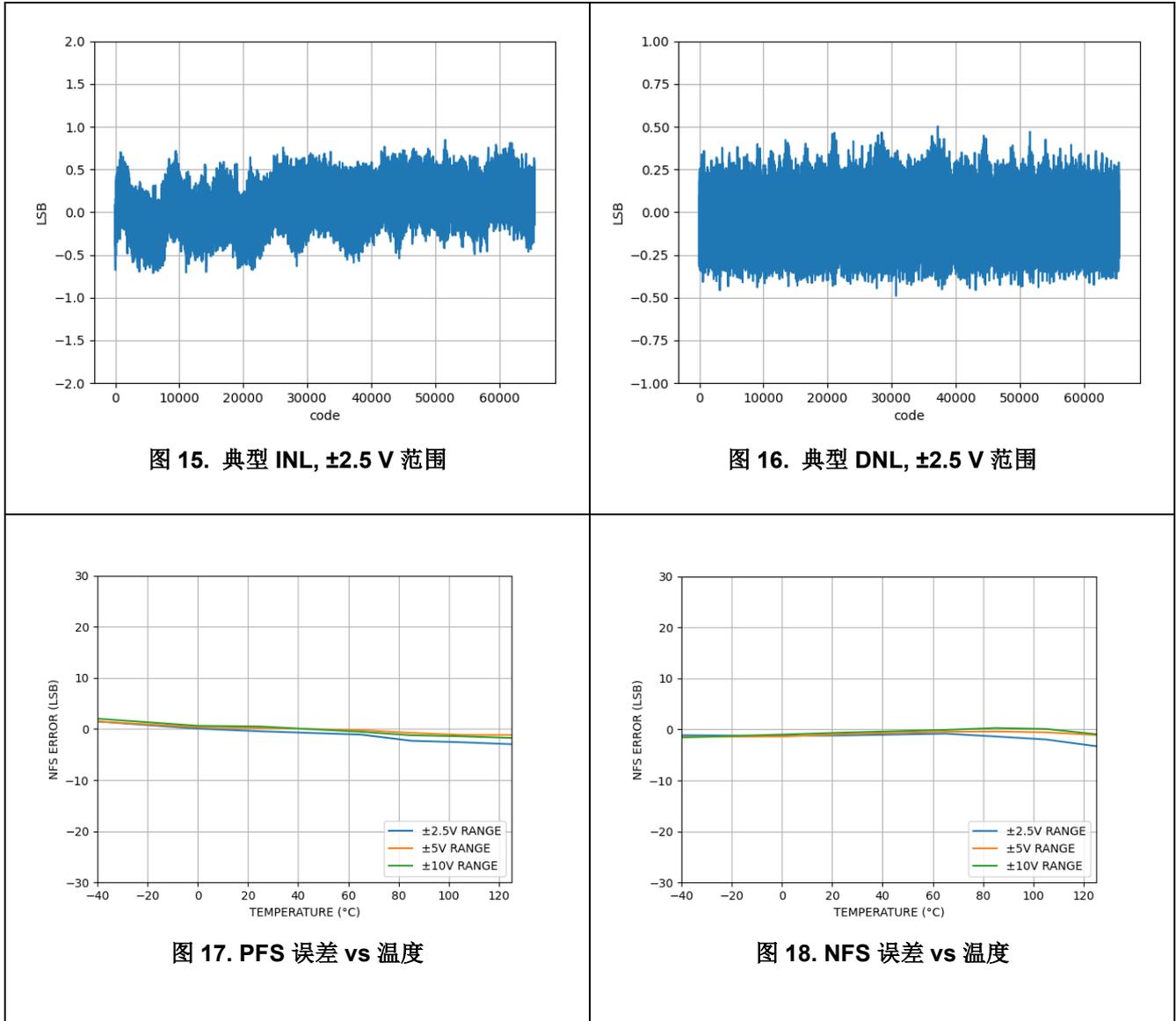


图 15. 典型 INL,  $\pm 2.5\text{ V}$  范围

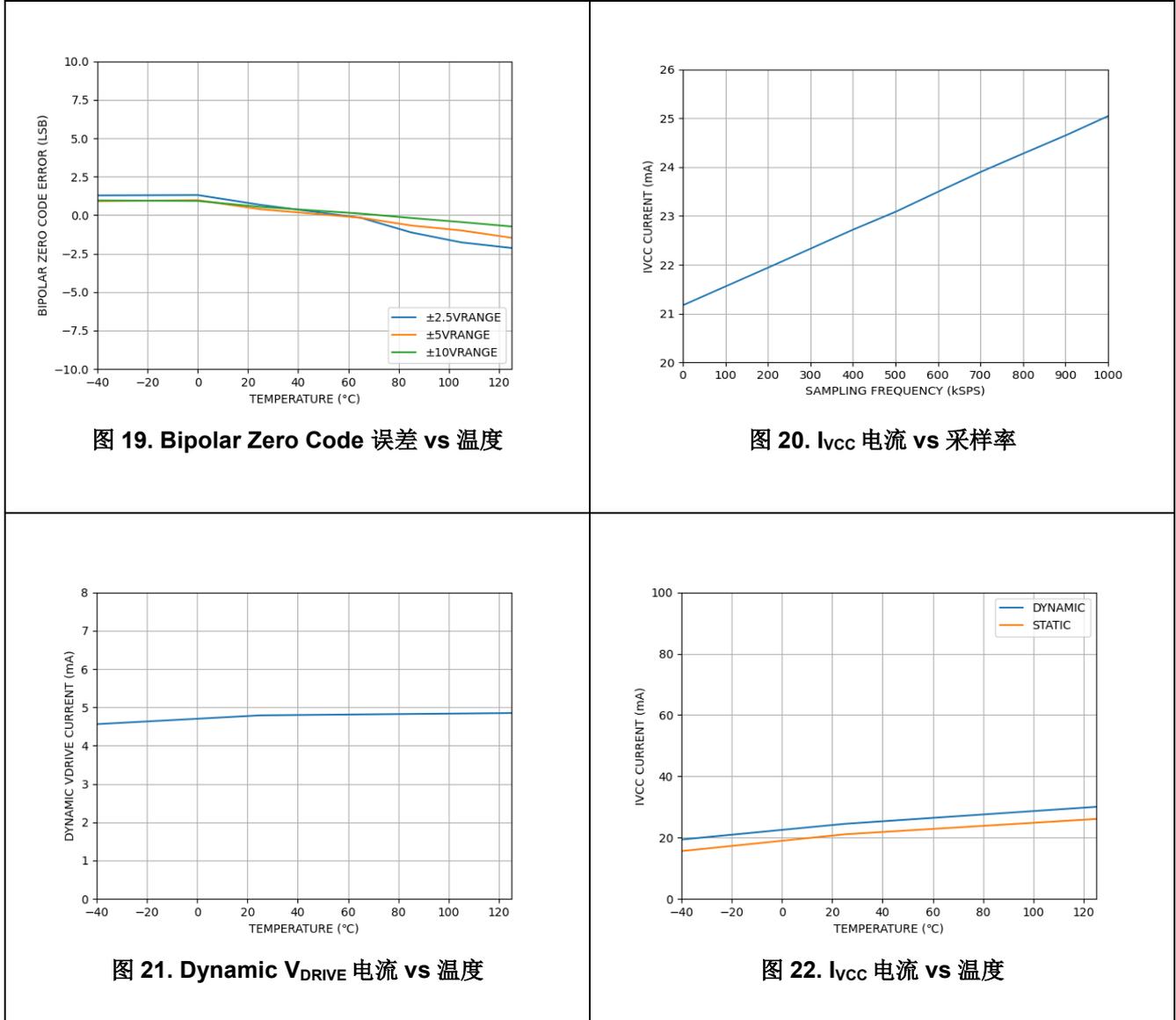
图 16. 典型 DNL,  $\pm 2.5\text{ V}$  范围

图 17. PFS 误差 vs 温度

图 18. NFS 误差 vs 温度

典型性能参数 (接上一页)

除非另有说明,  $V_{REF} = 2.5\text{ V}$  (内部),  $V_{CC} = 5\text{ V}$ ,  $V_{DRIVE} = 3.3\text{ V}$ ,  $f_{SAMPLE} = 1\text{ MSPS}$ ,  $f_{IN} = 1\text{ kHz}$ ,  $T_A = 25^\circ\text{C}$ 。



### 典型性能参数（接上一页）

除非另有说明， $V_{REF} = 2.5\text{ V}$ （内部）， $V_{CC} = 5\text{ V}$ ， $V_{DRIVE} = 3.3\text{ V}$ ， $f_{SAMPLE} = 1\text{ MSPS}$ ， $f_{IN} = 1\text{ kHz}$ ， $T_A = 25^\circ\text{C}$ 。

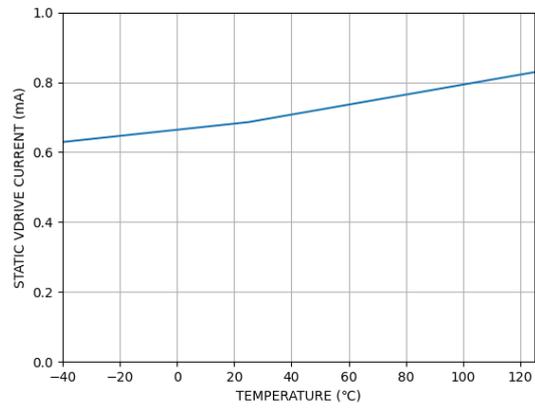


图 23. Static  $V_{DRIVE}$  电流 vs 温度

## 6 工作原理

### 6.1 转换器详解

GD30AD33G0 是一款采用高速、低功耗、电荷再分配逐次逼近型模数转换器(ADC)的数据采集系统,可以对 16 个模拟输入通道进行双路同步采样。GD30AD33G0 的模拟输入可以接受真双极性输入信号。模拟输入范围选项有 $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 和 $\pm 2.5\text{ V}$ 。GD30AD33G0 采用 5 V 单电源供电。

GD30AD33G0 内置输入箝位保护、输入信号缩放放大器、一阶抗混叠滤波器、片内基准电压源、基准电压缓冲器、双路高速 ADC、数字滤波器、灵活的序列器以及高速并行和串行接口。

通过控制 HW\_RNGSELx 引脚, GD30AD33G0 可工作在硬件或软件模式。在硬件模式下, GD30AD33G0 由引脚控制进行配置。在软件模式下, GD30AD33G0 由控制寄存器(通过串行或并行接口访问)进行配置。

### 6.2 模拟输入

#### 模拟输入通道选择

GD30AD33G0 内置双路同步采样 16 位 ADC。每个 ADC 有 8 个模拟输入通道,总共有 16 路模拟输入。此外, GD30AD33G0 还有片内诊断通道用于监控 VCC 电源,以及片内可调低压差稳压器。在硬件模式下通过 CHSELx 引脚控制,或在软件模式下通过通道寄存器控制,可以选择通道进行转换。要对诊断通道进行采样,必须使用软件模式。GD30AD33G0 可以动态选择通道,或利用片内序列器预先设置要转换的通道。在硬件模式下,只有对应的 A 和 B 通道才能同步采样,即通道 V0A 总是与通道 V0B 一同采样。在软件模式下,可以选择任意 A 通道与任意 B 通道一起进行同步采样。

#### 模拟输入范围

GD30AD33G0 可处理真双极性、单端输入电压。范围选择引脚 HW\_RNGSEL0 和 HW\_RNGSEL1 的逻辑电平决定所有模拟输入通道的模拟输入范围。如果两个范围选择引脚均接逻辑低电平,则软件模式下的模拟输入范围由输入范围寄存器决定(详情参见“寄存器汇总”部分)。在软件模式下,可以为每个通道配置单独的模拟输入范围。

表 1. 模拟输入范围选择

模拟输入范围	HW_RNGSEL1	HW_RNGSEL0
通过输入范围寄存器配置	0	0
$\pm 2.5\text{ V}$	0	1
$\pm 5\text{ V}$	1	0
10V	1	1

在硬件模式下,这些引脚的逻辑状态改变会立即影响模拟输入范围,但是,除正常采集时间要求外,还有典型值约为  $120\mu\text{s}$  的建立时间要求。建议根据系统信号所需的输入范围,通过硬连线连接范围选择引脚。

#### 模拟输入阻抗

GD30AD33G0 的模拟输入阻抗为  $1\text{ M}\Omega$ ,这是固定输入阻抗,不随 GD30AD33G0 采样频率而变化。高模拟输入阻抗可免除 GD30AD33G0 前端的驱动放大器,允许其与信号源或传感器直接相连。

#### 模拟输入箝位保护

下图显示了 GD30AD33G0 的模拟输入电路。GD30AD33G0 的每个模拟输入均包含箝位保护电路。虽然采用 5 V 单电源供电,但此模拟输入箝位保护允许  $-25\text{ V}$  到  $+25\text{ V}$  的输入过压。

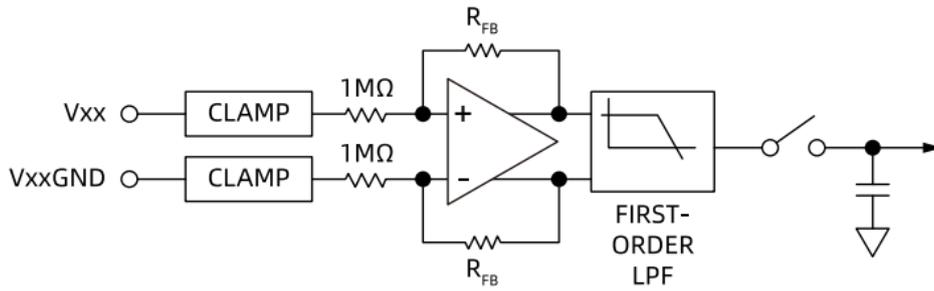


图 24. 模拟输入电路

下图显示了箝位电路的输入箝位电流与源电压特性的关系。对于-20 V 到+20 V 的源电压，箝位电路中无电流。当输入电压高于+25V 或低于-25V 时，GD30AD33G0 箝位电路开启。

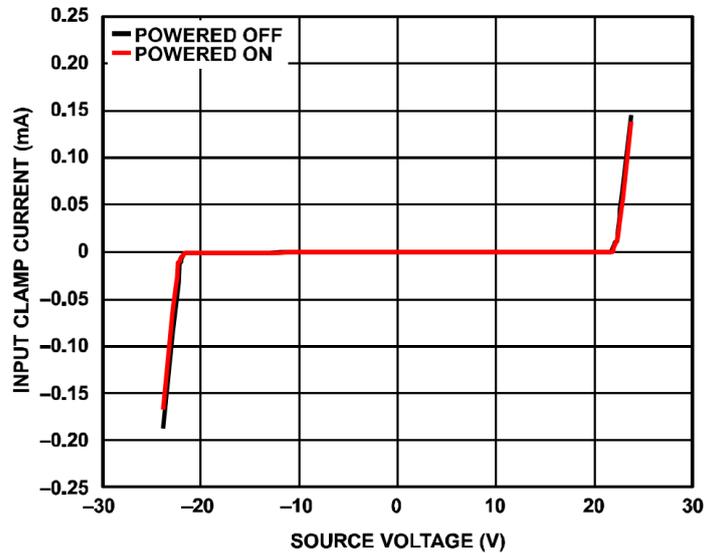


图 25. 输入保护箝位曲线，输入箝位电流与源电压的关系

模拟输入通道上应放置一个串联电阻，以将输入电压高于+20 V 或低于-20 V 时的电流限制在±10 mA 以下。如果模拟输入通道 VxA 或 VxB 上有一个串联电阻，则模拟输入接地通道 VxAGND 或 VxBGND 上也需要一个与之对应的电阻(见下图)。如果 VxAGND 或 VxBGND 通道上没有对应的电阻，该通道将出现失调误差。应使用输入过压箝位保护电路来保护 GD30AD33G0 免受瞬变过压事件的影响。建议不要将 GD30AD33G0 置于箝位保护电路长期活动（正常或掉电情况）的条件下。

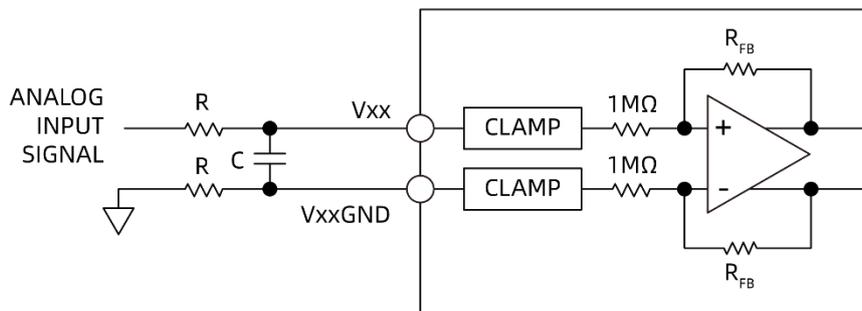


图 26. 模拟输入端的输入电阻匹配

### 模拟输入抗混叠滤波器

GD30AD33G0 还提供了模拟抗混叠滤波器（一阶巴特沃兹滤波器）。下图分别显示了模拟抗混叠滤波器的频率和相位响应。 $\pm 10\text{ V}$  范围的典型拐角频率为  $39\text{ kHz}$ ， $\pm 5\text{ V}$  范围为  $33\text{ kHz}$ 。

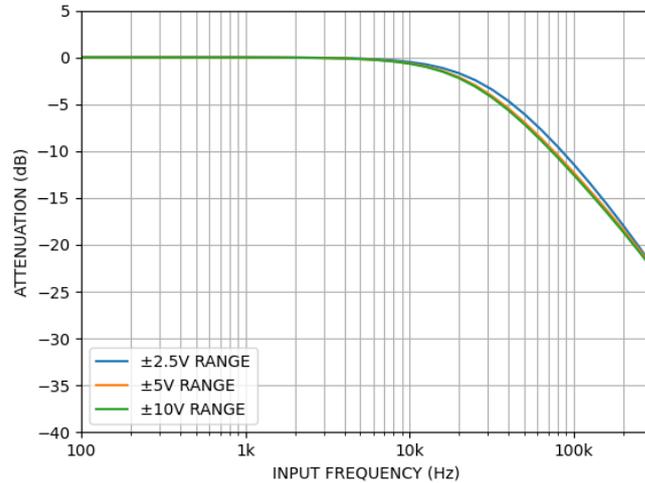


图 27. 模拟抗混叠滤波器频率响应

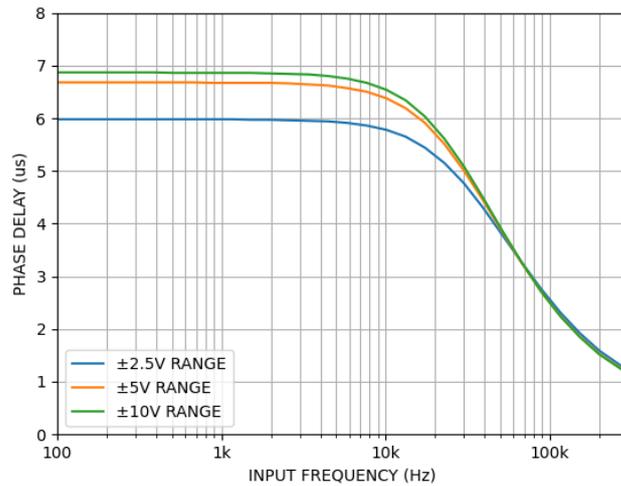
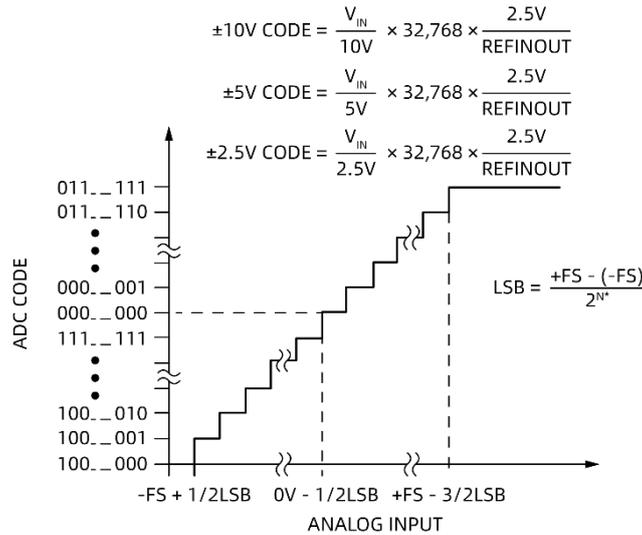


图 28. 模拟抗混叠滤波器相位响应

### 6.3 ADC 传递函数

GD30AD33G0 的输出编码方式为二进制补码。所设计的码转换在连续 LSB 整数值的中间（即  $1/2\text{ LSB}$  和  $3/2\text{ LSB}$ ）进行。对于 GD30AD33G0，LSB 大小为满量程范围除以  $65,536$ 。GD30AD33G0 的理想传递特性如下图所示。LSB 大小取决于所选的模拟输入范围。



	+FS	MIDSCALE	-FS	LSB
±10V RANGE	+10V	0V	-10V	305μV
±5V RANGE	+5V	0V	-5V	152μV
±2.5V RANGE	+2.5V	0V	-2.5V	76μV

\*WHERE N IS THE NUMBER OF BITS OF THE CONVERTER

图 29. 传递特性

### 6.4 内部/外部基准电压源

GD30AD33G0 可以采用内部或外部基准电压源工作，其内置一个 2.5 V 片内带隙基准电压源。REFINOUT 引脚既可使用该 2.5 V 基准电压，以在内部产生 4.096 V 片内基准电压，也允许向 GD30AD33G0 施加一个 2.5 V 外部基准电压。所施加的 2.5 V 外部基准电压也会在内部缓冲的作用下放大至 4.096 V。此 4.096 V 缓冲的基准电压是 SAR ADC 所用的基准电压。

REFSEL 引脚是一个逻辑输入引脚，允许用户选择内部基准电压或外部基准电压。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFINOUT 引脚。

内部基准电压缓冲始终使能。完全复位之后，GD30AD33G0 工作在 REFSEL 引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对 REFINOUT 引脚去耦。需要将一个 100 nF X8R 陶瓷电容连接在 REFINOUT 引脚至 REFINOUTGND 之间。

GD30AD33G0 内置一个基准电压缓冲器，后者配置为将基准电压放大至约 4.096 V。REFCAP 和 REFGND 之间需要连接一个 10μF X5R 陶瓷电容。REFINOUT 引脚提供的基准电压为 2.5 V。当 GD30AD33G0 配置为外部基准电压模式时，REFINOUT 引脚为高输入阻抗引脚。

如果系统其它地方需要使用内部基准电压，则首先必须在外部分对其进行缓冲。

### 6.5 关断模式

RESET 引脚保持低电平超过 1.2 μs 时，GD30AD33G0 进入关断模式。当 RESET 引脚从低电平变为高电平时，器件退出关断模式，进入正常模式。

当 GD30AD33G0 处于关断模式时，典型功耗为 78 μA，上电到可对器件执行写操作的时间约为 240μs。上电到可执行转换的时间为 15 ms。在关断模式下，所有电路均关断，所有寄存器清零并复位至默认值。

## 6.6 数字滤波器

GD30AD33G0 内置一个可选的数字一阶 sinc 滤波器，在使用较低吞吐速率或需要更高信噪比或更宽动态范围的应用中，须使用该滤波器。

数字滤波器的 OSR 在硬件模式下由过采样引脚 OS2 至 OS0 (OSx)控制，在软件模式下由配置寄存器中的 OS 位控制。在软件模式下，设置配置寄存器中的 OS 位之后，所有通道均使能过采样。在硬件模式下，完全复位释放时的 OSx 信号决定要使用的 OSR。

如果 OSx 引脚/OS 位选择 8 倍过采样，则下一个 CONVST 上升沿采集选定通道的第一个样本，该通道的其余 7 个样本由内部产生的采样信号采集。然后对这些样本求平均值，以改进 SNR 性能。随着过采样率提高，-3 dB 带宽降低，容许的采样频率也降低。转换时间随着过采样率提高而延长，BUSY 信号与过采样率成比例。采集和转换时间随着过采样率提高而线性增加。

若在序列器或突发模式下使能过采样，则在序列器移至下一通道之前，会采集给定通道的额外样本。

## 7 应用信息

### 7.1 功能框图

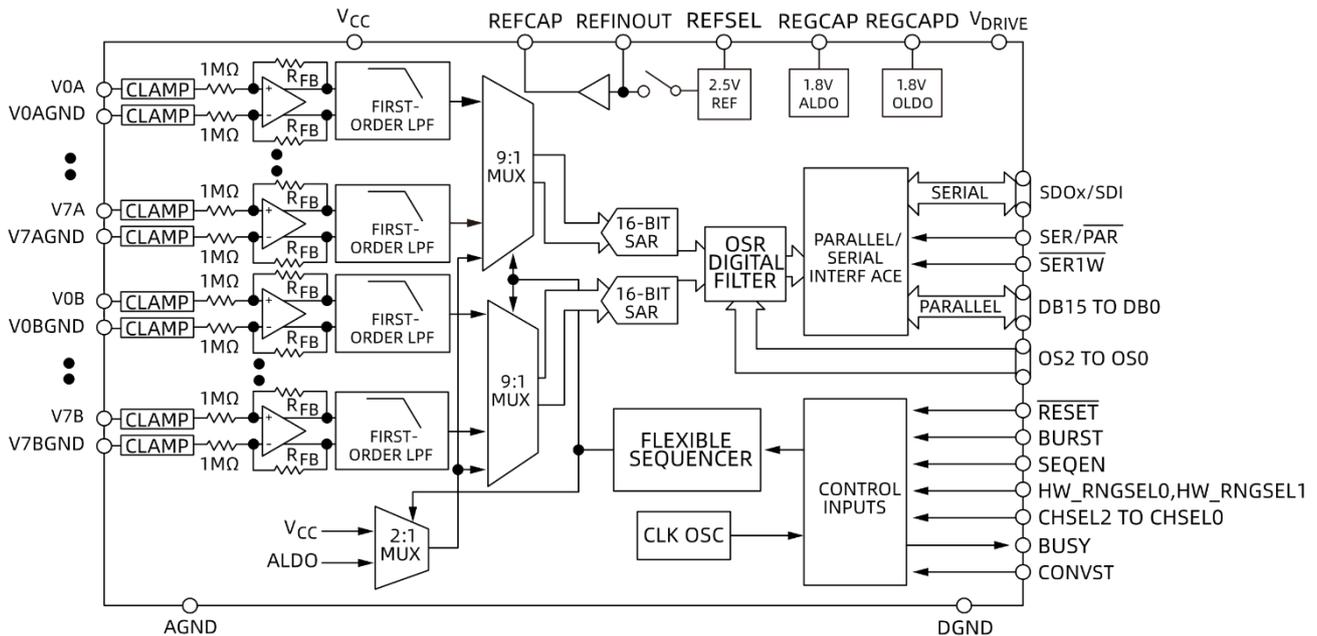


图 30. GD30AD33G0 功能框图

### 7.2 功能概述

GD30AD33G0 有两种主要工作模式：硬件模式和软件模式。此外，硬件或软件模式的通信接口可以是串行或并行。对于不同的工作模式和接口选择，某些功能可能无法使用。在软件串行模式和软件并行模式下，全部功能均可使用；在硬件串行模式和硬件并行模式下，某些功能受到限制。表 2 列出了不同工作模式下可以使用的功能。

### 7.3 电源

GD30AD33G0 有两个独立电源  $V_{CC}$  和  $V_{DRIVE}$ ，其分别为模拟电路和数字接口供电。 $V_{CC}$  电源和  $V_{DRIVE}$  电源均应通过并联的  $10\ \mu\text{F}$  电容和  $100\ \text{nF}$  电容去耦。

另外，这些电源由两个内部 LDO 稳压器调节。模拟 LDO (ALDO) 通常提供  $1.9\ \text{V}$  电压。ALDO 应通过 REGCAP 和 REGCAPGND 引脚之间的  $10\ \mu\text{F}$  电容去耦。数字 LDO (DLDO) 通常提供  $1.85\ \text{V}$  电压。DLDO 应通过 REGCAPD 和 REGCAPDGND 引脚之间的  $10\ \mu\text{F}$  电容去耦。

### 7.4 典型连接

图 31 显示了 GD30AD33G0 正常工作所需的典型连接。按照下图所示将  $V_{CC}$  和  $V_{DRIVE}$  电源去耦。较小的  $0.1\ \mu\text{F}$  电容应尽可能靠近电源引脚，较大的  $10\ \mu\text{F}$  电容与之并联。按照下图所示及引脚功能所述将基准电压源和 LDO 稳压器去耦。

模拟输入引脚要求  $V_{xA}$  和  $V_{xAGND}$ （类似地， $V_{xB}$  和  $V_{xBGND}$ ）输入端的电阻  $R$  匹配，以免阻抗不匹配引起模拟输入通道上的增益误差。

表 2. 功能矩阵

功能	工作模式 <sup>1</sup>			
	软件模式, HW_RNGSELx = 00		硬件模式, HW_RNGSELx ≠ 00	
	串行, SER/PAR= 1	并行, SER/PAR= 0	串行, SER/PAR= 1	并行, SER/PAR= 0
内部/外部基准电压源	是	是	是	是
可选模拟输入范围				
独立通道配置	是	是	否	否
统一通道配置	否	否	是	是
顺序序列器	是	是	是	是
完全可配置的序列器	是	是	否	否
突发模式	是	是	是	是
片内过采样	是	是	是	否
诊断通道转换	是	是	否	否
硬件复位	是	是	是	是
串行 1 线模式	是	否	是	否
串行 2 线模式	是	否	是	否
寄存器访问	是	是	否	否

1. “是”意味着可用, “否”意味着不可用。

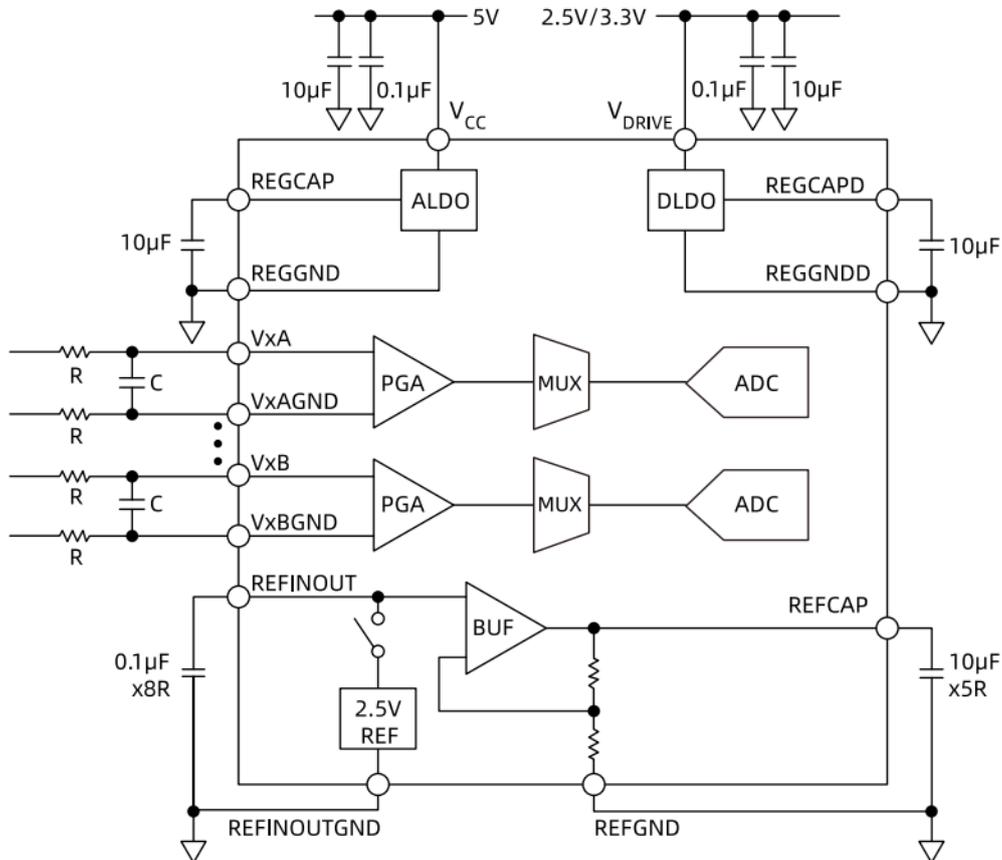


图 31. 典型外部连接

## 8 器件配置

### 8.1 工作模式

工作模式（硬件模式或软件模式）在 GD30AD33G0 退出完全复位时配置。当  $\overline{\text{RESET}}$  引脚从低电平变为高电平时，HW\_RNGSELx 引脚的逻辑电平决定工作模式。HW\_RNGSELx 引脚具有双重功能。如果 HW\_RNGSELx = 0b00，则 GD30AD33G0 进入软件模式。HW\_RNGSELx 的任何其它组合都会将 GD30AD33G0 配置为硬件模式，模拟输入范围配置如表 1 所示。配置软件模式后，便会忽略 HW\_RNGSELx 信号的逻辑电平。配置一种工作模式后，要退出该工作模式并设置另一种工作模式，需要通过  $\overline{\text{RESET}}$  引脚执行完全复位。若选择硬件模式，则所有后续器件配置都是通过引脚控制进行。硬件模式下禁止访问片内寄存器。在软件模式下，接口和基准电压配置必须通过引脚控制进行，但所有后续器件配置只能通过寄存器进行。

### 8.2 内部/外部基准电压源

当 GD30AD33G0 退出完全复位时，内部基准电压源要么使能，要么禁用。当  $\overline{\text{RESET}}$  引脚从低电平变为高电平时，REFSEL 信号的逻辑电平配置基准电压源。配置基准电压源后，便会忽略 REFSEL 信号的逻辑电平变化。若 REFSEL 信号设为 1，则使能内部基准电压源。若 REFSEL 设为逻辑 0，则禁用内部基准电压源，必须将外部基准电压源施加到 REFINOUT 引脚，GD30AD33G0 才能正常工作。要退出当前工作模式并设置另一种工作模式，需要通过  $\overline{\text{RESET}}$  引脚执行完全复位。

REFINOUT 和 REFINOUTGND 引脚之间应连接一个 100 nF 电容。若使用外部基准电压源，则应在基准电压源与 GD30AD33G0 的 REFINOUT 引脚之间串联一个 10 k $\Omega$  带宽限制电阻。

### 8.3 数字接口

数字接口选择（并行或串行）在 GD30AD33G0 退出完全复位时配置。当  $\overline{\text{RESET}}$  引脚从低电平变为高电平时，SER/ $\overline{\text{PAR}}$  信号的逻辑电平配置该接口。若 SER/ $\overline{\text{PAR}}$  信号设为 0，则使能并行接口。若 SER/ $\overline{\text{PAR}}$  信号设为 1，则选择串行接口。此外，若选择串行接口，当  $\overline{\text{RESET}}$  引脚被释放时，会监视  $\overline{\text{SER1W}}$  信号以决定选择串行 1 线还是 2 线模式。配置好接口之后，便会忽略 SER/ $\overline{\text{PAR}}$  信号或  $\overline{\text{SER1W}}$  信号（使能串行接口情况下）的逻辑电平变化。要退出当前工作模式并设置另一种工作模式，需要通过  $\overline{\text{RESET}}$  引脚执行完全复位。

### 8.4 硬件模式

若选择硬件模式，可用功能会受到限制，而且所有功能都是通过引脚控制进行配置。为了配置 GD30AD33G0 的功能，完全复位后会检查以下信号的逻辑电平：BURST、SEQEN 和 OSx。表 3 汇总了完全复位释放时器件锁存的信号，其取决于所选的工作模式。完成器件配置后，要退出当前配置并设置另一种配置，需要通过  $\overline{\text{RESET}}$  引脚执行完全复位。根据所选的接口类型，可用功能可能会受到限制。关于硬件并行或串行模式下可用功能的完整列表，请参见表 2。

复位时会查询 CHSELx 引脚状态，以决定要获取哪个初始模拟输入通道对进行转换，或配置序列器的初始设置。正常工作期间可以重新配置要转换的通道对或硬件序列器，方法是在 CONVST 上升沿之前到 BUSY 下降沿为止，设置并保持 CHSELx 信号电平。

HW\_RNGSELx 信号控制所有 16 个模拟输入通道的模拟输入范围。这些引脚的逻辑状态改变会立即影响模拟输入范围；但是，除正常采集时间要求外，还有典型值约为 120 $\mu\text{s}$  的建立时间要求。建议根据系统信号所需的输入范围，通过硬连线连接范围选择引脚。

硬件模式下禁止访问片内寄存器。

表 3. 锁存的硬件汇总

信号	完全复位时锁存		复位时读取		繁忙时读取		边沿驱动	
	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式
REFSEL	是	是						
SEQEN	是	否						
HW_RNGSELx (范围选择)			是	是			是	否
HW_RNGSEKx (硬件或软件模式)	是	是						
SER/ $\overline{\text{PAR}}$	是	是						
OSx	是	否						
BURST	是	否						
CHSELx			是	否	是	否		
SER1 $\overline{\text{W}}$	是	是						

1. 表 3 中的空白意味着不适用。

## 8.5 软件模式

若选择软件模式且已配置基准电压源和接口类型，则 GD30AD33G0 的所有其它配置都要通过片内寄存器进行设置。选择软件模式时，GD30AD33G0 的全部功能都可以使用。表 3 汇总了完全复位释放时器件锁存的信号，其取决于所选的工作模式。

## 8.6 复位功能

GD30AD33G0 有两种复位模式：完全或部分。复位模式选择取决于复位低电平脉冲的长度。部分复位要求  $\overline{\text{RESET}}$  引脚保持低电平 40 ns 到 500 ns。释放  $\overline{\text{RESET}}$  50 ns 之后，器件即完全可用，可以启动转换。完全复位要求  $\overline{\text{RESET}}$  引脚保持低电平至少 1.2 us。释放  $\overline{\text{RESET}}$  15 ms 之后，器件完成重新配置，可以启动转换。

部分复位会重新初始化下列模块：

- 序列器
- 数字滤波器
- SPI
- 两个 SAR ADC

部分复位完成时，会丢弃当前转换结果。部分复位不会影响软件模式下设置的寄存器值，或硬件和软件模式下存储用户配置的锁存器。部分复位之后，软件模式下需要执行一次伪转换。

完全复位会将器件复位至默认上电状态。GD30AD33G0 退出完全复位时会配置如下内容：

- 硬件模式或软件模式
- 内部/外部基准电压源
- 接口类型

上电时，一旦  $V_{CC}$  和  $V_{DRIVE}$  电源均稳定下来，便可释放  $\overline{\text{RESET}}$  信号。完全复位后释放  $\overline{\text{RESET}}$  引脚时，HW\_RNGSELx、REFSEL、SER/ $\overline{\text{PAR}}$  和 DB4/ $\overline{\text{SER1W}}$  引脚的逻辑电平决定器件配置。

若选择硬件模式，则当 RESET 引脚在完全复位模式下从低电平变为高电平时，BURSTEN、SEQEN 和 OSx 信号所决定的功能也会被锁存。完成功能配置后，便会忽略这些信号的变化。在硬件模式下，模拟输入范围

(HW\_RNGSELx 信号)可在完全或部分复位期间或正常工作期间配置，但硬件/软件模式选择需要完全复位才能重新配置，同时此设置会被锁存。

在硬件模式下，退出完全和部分复位时均会查询 CHSELx 和 HW\_RNGSELx 引脚，以便执行如下操作：

- 确定要获取哪一个初始模拟输入通道对进行转换。
- 配置序列器的初始设置。
- 选择模拟输入电压范围。

CHSELx 和 HW\_RNGSELx 信号不会被锁存。正常工作期间可以重新配置要转换的通道对或硬件序列器，方法是在 CONVST 上升沿之前设置 CHSELx 信号电平并保持不变，直到 BUSY 再次变为低电平。详情参见“[通道选择](#)”部分。

在软件模式下，所有其它功能都是通过片内寄存器进行配置。

## 8.7 引脚功能概述

GD30AD33G0 有多个双功能引脚，其功能取决于 HW\_RNGSELx 引脚选择的工作模式。下表列出了不同工作模式和接口模式下的引脚功能。

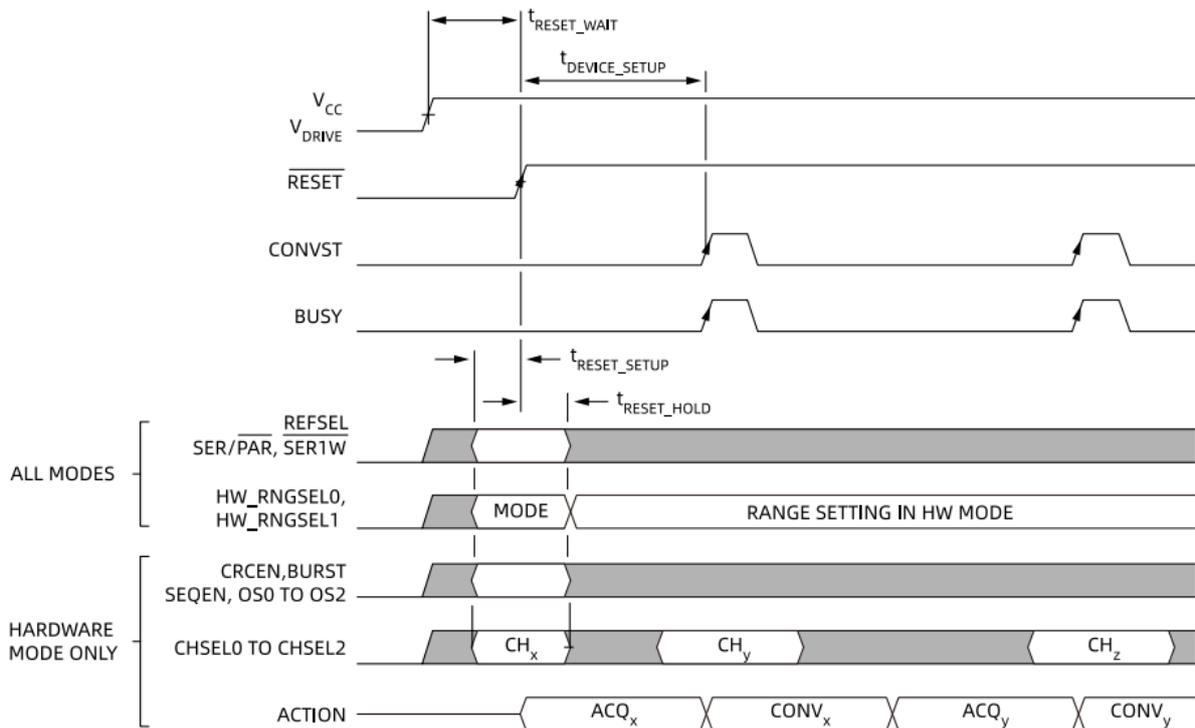


图 32. GD30AD33G0 复位时的配置

表 4. 引脚功能概述

引脚	工作模式			
	软件模式, HW_RNGSELx = 00		硬件模式, HW_RNGSELx ≠ 00	
	串行, SER/PAR = 1	并行, SER/PAR = 0	串行, SER/PAR = 1	并行, SER/PAR = 0
CHSELx	无功能, 连接到 DGND	无功能, 连接到 DGND	CHSELx	CHSELx
SCLK/RD	SCLK	RD	SCLK	RD
WR/BURST	连接到 DGND	WR	BURST	BURST
DB15/OS0 至 DB13/OS2	连接到 DGND	DB15 至 DB13	OSx	DB15 至 DB13
DB12/SDOA	SDOA	DB12	SDOA	DB12
DB11/SDOB	SDOB, 串行 1 线模式下 浮空	DB11	SDOB	DB11
DB10/SDI	SDI	DB10	连接到 DGND	DB10
DB9 至 DB6, DB3 至 DB0	连接到 DGND	DB9 至 DB6、DB3 至 DB0	连接到 DGND	DB9 至 DB6、DB3 至 DB0
DB5	连接到 DGND	DB5		DB5
DB4/SER1WI	SER1W	DB4	SER1W	DB4
HW RNGSELX	HW RNGSELX, 连接到 DGND	HW RNGSELX, 连接到 DGND	HW RNGSELX, 配置 模拟输入范围	HW RNGSELX, 配置 模拟输入范围
SEOEN	无功能, 连接到 DGND	无功能, 连接到 DGND	SEQEN	SEQEN
REFSEL	REFSEL	REFSEL	REFSEL	REFSEL

## 9 数字接口

### 9.1 通道选择

#### 硬件模式

CHSELx 信号的逻辑电平决定要转换的通道对；信号解码信息参见表 5。退出完全或部分复位时的 CHSELx 信号决定要采样的初始通道对。复位之后，在 BUSY 高电平期间会检查 CHSELx 信号的逻辑电平，以便设置下一转换的通道对。CHSELx 信号电平必须在 CONVST 从低电平变为高电平之前设置，并且保持不变，直到 BUSY 从高电平变为低电平，指示转换已完成。

#### 软件模式

在软件模式下，要转换的通道由通道寄存器选择。上电时或复位后，选择进行转换的默认通道为 V0A 和 V0B。

表 5. CHSELx 引脚解码

通道选择输入引脚			要转换的模拟输入通道
CHSEL2	CHSEL1	CHSEL0	
0	0	0	V0A, V0B
0	0	1	V1A, V1B
0	1	0	V2A, V2B
0	1	1	V3A, V3B
1	0	0	V4A, V4B
1	0	1	V5A, V5B
1	1	0	V6A, V6B
1	1	1	V7A, V7B

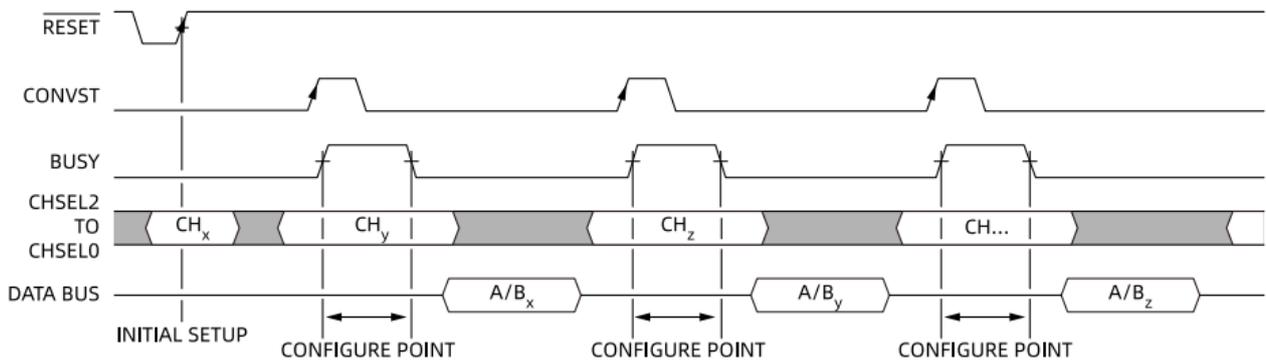


图 33. 硬件模式通道转换设置

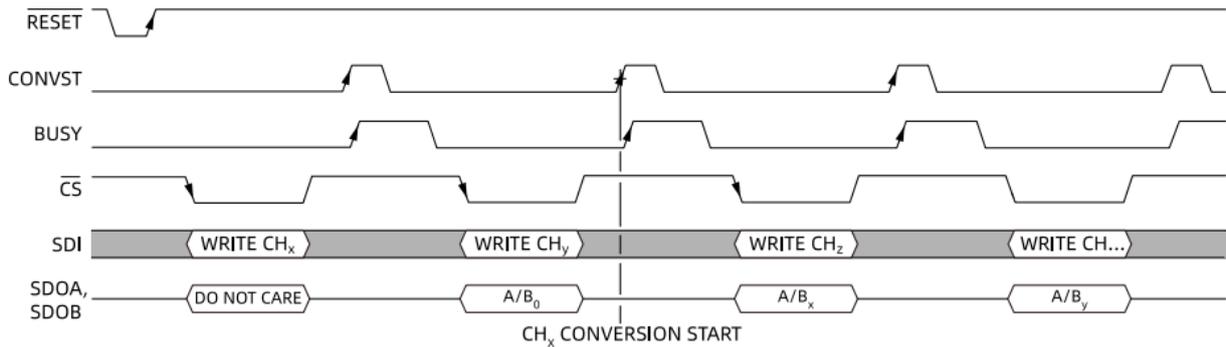


图 34. 软件串行模式通道转换设置

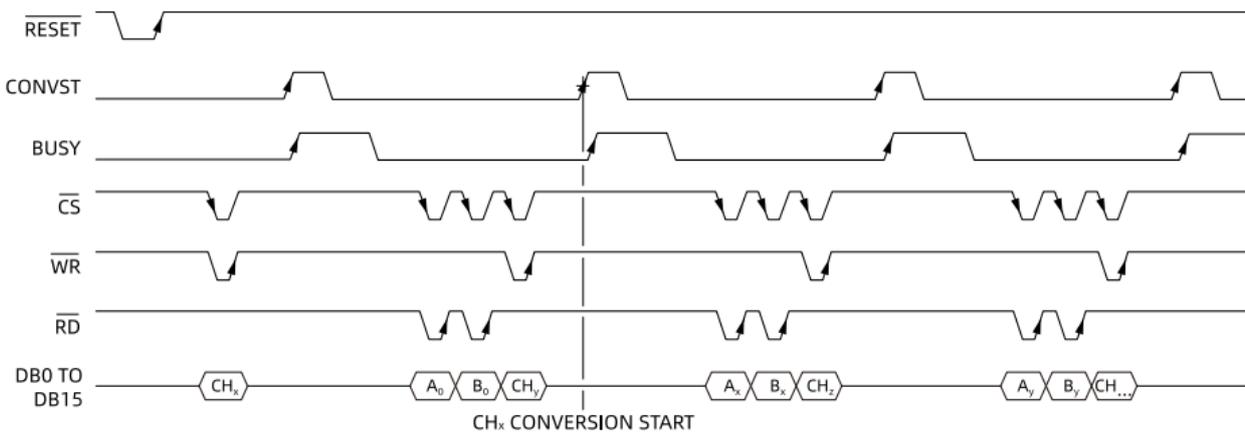


图 35. 软件并行模式通道转换设置

## 9.2 并行接口

通过并行接口可读取转换结果，以及配置和回读片内寄存器。要从 GD30AD33G0 读取数据，可以通过并行数据总线并使用标准  $\overline{CS}$ 、 $\overline{RD}$  和  $\overline{WR}$  信号。通过并行总线读取数据时，需将  $\overline{SER}/\overline{PAR}$  引脚与低电平相连。

### 读取转换结果

$\overline{CONVST}$  信号启动转换过程。 $\overline{CONVST}$  信号从低电平变为高电平时，启动对所选输入的转换。 $\overline{BUSY}$  信号变为高电平表示转换正在进行。 $\overline{BUSY}$  信号从高电平变为低电平表示转换已完成，可以通过并行接口回读转换结果。

要从 GD30AD33G0 读取数据，可以通过并行数据总线并使用标准  $\overline{CS}$  和  $\overline{RD}$  信号。通过内部选通  $\overline{CS}$  和  $\overline{RD}$  输入信号，可以将转换结果输出到数据总线。当  $\overline{CS}$  和  $\overline{RD}$  同时处于逻辑低电平状态时，数据线 DB15 至 DB0 脱离高阻态。

GD30AD33G0 器件共享同一并行数据总线。 $\overline{CS}$  输入信号的上升沿使总线进入三态， $\overline{CS}$  输入信号的下降沿使总线脱离高阻态。 $\overline{CS}$  是使能数据线的控制信号；利用该功能可以让多个所需的读操作次数取决于器件配置。对于同步采样的 A 和 B 通道，读取转换结果至少需要两次读操作。如果使能了其他功能，如状态和突发模式等，则所需的回读次数相应地增加。

GD30AD33G0 的  $\overline{RD}$  引脚用来从输出转换结果寄存器读取数据。对  $\overline{RD}$  引脚施加一系列  $\overline{RD}$  脉冲，可使各通道的转换结果逐个输出到并行总线 DB15 至 DB0。 $\overline{BUSY}$  变为低电平后的第一个  $\overline{RD}$  下降沿输出通道 AX 的转换结果。下一个  $\overline{RD}$  下降沿则用通道 BX 转换结果更新总线。

GD30AD33G0 退出寄存器模式，需要写入数据 0x0 到地址 0x00。

### 写入寄存器数据

在软件模式下，可以通过并行接口写入 GD30AD33G0 的所有读/写寄存器。通过并行总线（DB15 至 DB0）、GD30AD33G0 数据通过 DB15 至 DB0 输入提供，DB0 是数据字的 LSB。写命令的格式如图 36 所示。要选择写命令，必须将位 D15 设为 1。位[D14:D9]为寄存器地址。随后的 9 位（位[D8:D0]）包含待写入选定寄存器的数据。寄存器地址的完整列表参见“寄存器汇总”部分。数据在  $\overline{CS}$  和  $\overline{WR}$  信号进行单次 16 位并行访问，可执行寄存器写命令。写入  $\overline{WR}$  的上升沿锁存到器件中。

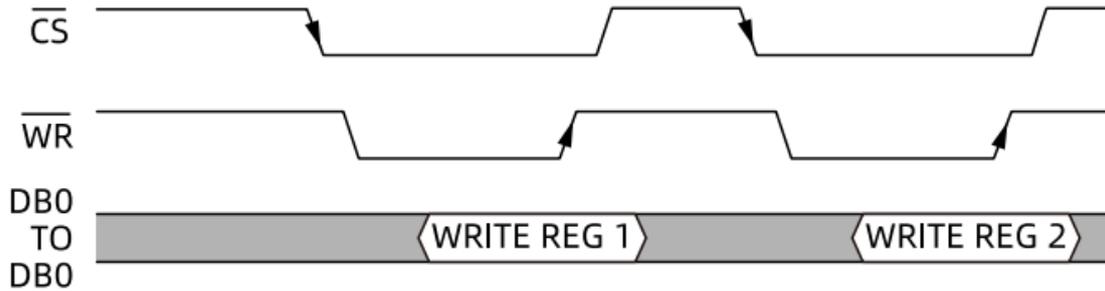


图 36. 并行接口寄存器写操作

### 读取寄存器数据

器件中的所有寄存器均可通过并行接口读取。要读取一个寄存器，首先须向 GD30AD33G0 写入要读取的寄存器地址。寄存器读命令的格式如图 38 所示。要选择读命令，必须将位 D15 设为 0。位[D14:D9]为寄存器地址。忽略随后的 9 位（位[D8:D0]）。读命令在  $\overline{WR}$  的上升沿锁存到 GD30AD33G0 中。此锁存器将把相关寄存器数据传输至输出寄存器，然后便可利用标准读命令通过 DB15 至 DB0 引脚读取寄存器数据。

读取寄存器时，GD30AD33G0 位 [D14:D9] 返回寄存器地址。

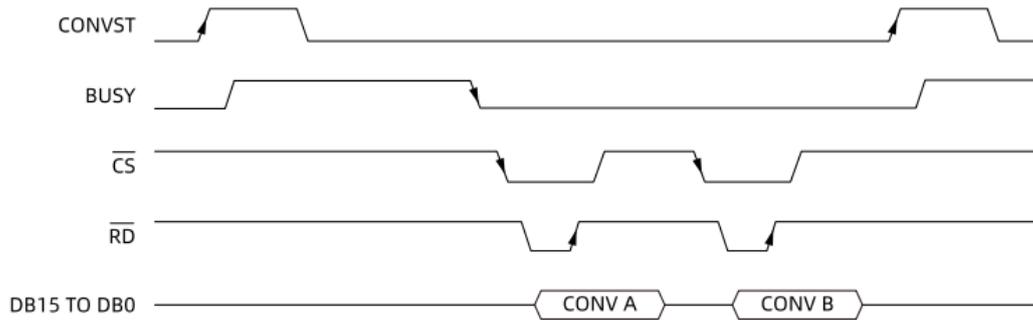


图 37. 并行接口转换回读



图 38. 并行接口寄存器读操作

### 9.3 串行接口

要通过 SPI 连接 GD30AD33G0， $\overline{\text{SER}}/\overline{\text{PAR}}$  引脚必须连接高电平。 $\overline{\text{CS}}$  和 SCLK 信号从 GD30AD33G0 传输数据。GD30AD33G0 有两个串行数据输出引脚：SDOA 和 SDOB。利用串行 1 线或串行 2 线模式从 GD30AD33G0 回读数据。

在 GD30AD33G0 的串行 2 线模式下，通道 V0A 至 V7A 的转换结果出现在 SDOA 上，通道 V0B 至 V7B 的转换结果出现在 SDOB 上。在串行 1 线模式下，通道 V0B 至 V7B 的转换结果与通道 V0A 至 V7A 的转换结果交错出现。要实现最大吞吐速率，须使用 2 线模式。

通过 SDOA 和 SDOB 回读数据时， $\overline{\text{SER}}1\text{W}$  引脚必须连接高电平。仅通过 SDOA 回读数据时， $\overline{\text{SER}}1\text{W}$  引脚必须连接低电平。串行 1 线或 2 线模式在 GD30AD33G0 退出完全复位时配置。

#### 读取转换结果

CONVST 信号启动转换过程。CONVST 信号从低电平变为高电平时，启动对所选输入的转换。BUSY 信号变为高电平表示转换正在进行。BUSY 信号从高电平变为低电平表示转换已完成，可以通过串行接口回读转换结果。

$\overline{\text{CS}}$  下降沿使数据输出线路 SDOA 和 SDOB 脱离三态，并输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 SDOA 和 SDOB。图 39 显示采用 GD30AD33G0 的两条 SDOx 线读取两个同步转换结果。若将状态寄存器内容附加到转换结果，或者工作在序列器突发模式（多个 16 SCLK 传输访问 GD30AD33G0 中的数据），则  $\overline{\text{CS}}$  应保持低电平以对全部数据进行帧传输。也可只用一条 SDOx 线逐个输出数据，此时必须利用 SDOA 来访问全部转换数据。当 GD30AD33G0 通过一条 SDOx 线访问 VxA 和 VxB 两个通道的转换结果时，总共需 32 个 SCLK 周期。既可利用一个  $\overline{\text{CS}}$  信号使能这 32 个 SCLK 周期帧，也可利用  $\overline{\text{CS}}$  信号独立使能各组的 16 个 SCLK 周期帧。只用一条 SDOx 线的缺点是吞吐速率会降低。

在串行 1 线模式下，不用的 SDOB 线应保持不连接。若使用 SDOA 作为单一串行数据输出线，通道结果将按如下顺序输出：VxA 和 VxB。图 40 所示为 1 线串行回读操作。

串行接口模式下的数据回读速度取决于 SPI 频率、VDRIVE 电源和 SDO 线上的负载电容 CLOAD。表 6 列出了不同条件下可实现的最大速度。

表 6. SPI 频率与负载电容和 VDRIVE 的关系

VDRIVE(V)	CLOAD(pF)	SPI 频率(MHz)
2.3 至 3	20	40
3 至 3.6	30	50

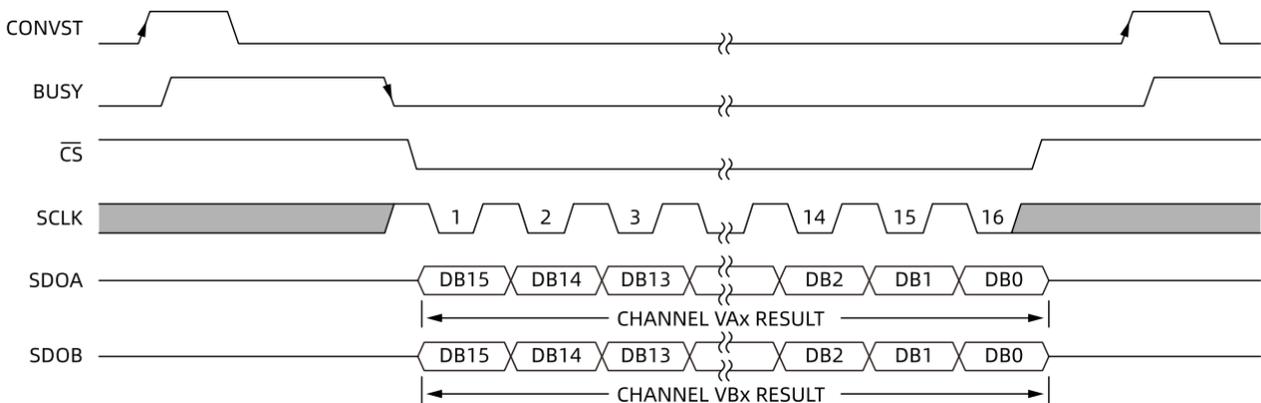


图 39. 串行接口 2 线模式

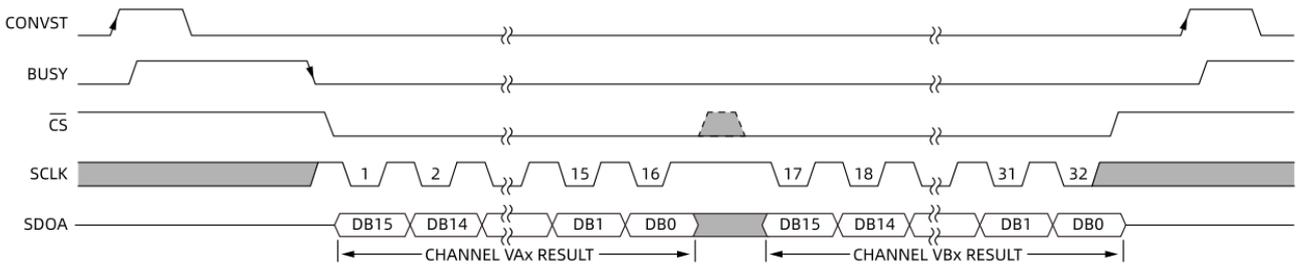


图 40. 串行接口 1 线模式

### 写入寄存器数据

通过串行接口可写入 GD30AD33G0 中的所有读/写寄存器。通过单次 16 位 SPI 读取操作，可执行寄存器写命令。写命令的格式如表 7 所示。要选择写命令，必须将位 D15 设为 1。位 [D14:D9]为寄存器地址。随后的 9 位（位 [D8:D0]）包含待写入选定寄存器的数据。图 41 所示为典型串行写命令。

### 读取寄存器数据

器件中的所有寄存器均可通过串行接口读取。读取寄存器的命令执行方法为：发出一个寄存器读取命令，然后再发出一个额外的 SPI 命令；该命令可以是有效的命令，也可以是无操作 (NOP)。读命令的格式如表 8 所示。要选择读命令，必须将位 D15 设为 0。位 [D14:D9] 为寄存器地址。忽略随后的 9 位（位 [D8:D0]）。寄存器地址的完整列表参见“寄存器汇总”部分。图 42 所示为典型串行读命令。

如果 GD30AD33G0 处于寄存器模式，则无论前一帧是读命令还是写命令，SDO 都会从先前寻址的寄存器中回读内容。要退出寄存器模式，需要写入数据 0x0 到地址 0x00。

读取寄存器时，GD30AD33G0 位 [D14:D9] 返回寄存器地址。

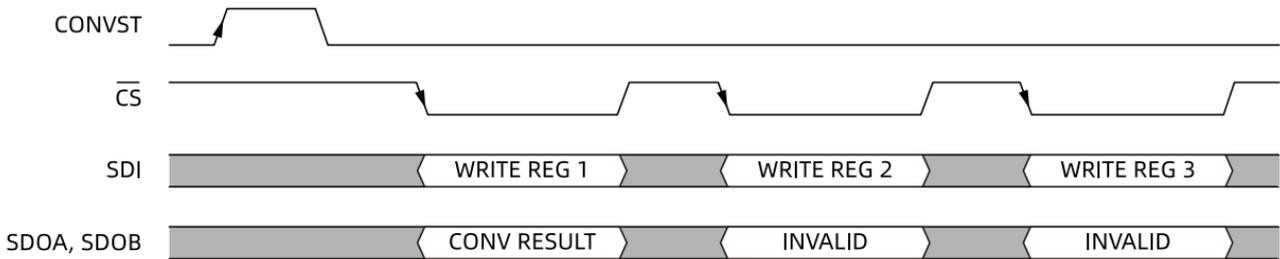


图 41. 串行接口寄存器写操作

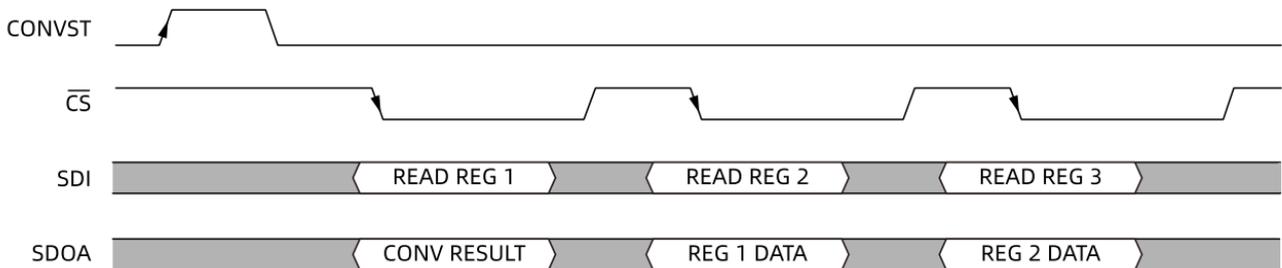


图 42. 串行接口寄存器写操作

表 7. 写命令消息配置

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/R	REGADDR[5:0]						数据[8:0]								
1	寄存器地址						要写入的数据								

表 8. 读命令消息配置

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/R	REGADDR[5:0]						数据[8:0]								
0	寄存器地址						无关								

## 10 序列器

GD30AD33G0 有一个高度可配置的片内序列器。序列器的功能和配置取决于 GD30AD33G0 的工作模式。

在硬件模式下，序列器只能按顺序工作，总是从通道 V0A 和 V0B 开始转换，然后依次转换后续各通道，直至配置的最后一个通道。

在软件模式下，序列器具有额外的功能和配置。序列器堆栈有 32 个可唯一配置的序列步骤，允许设置任意通道顺序。此外，任意通道 VxA 输入可以与任意通道 VxB 输入或诊断通道配对。

序列器工作时，可以使能或不使能突发功能。若使能突发功能，则转换一个序列中的所有通道只需一个 CONVST 脉冲。若禁用突发模式，则一个序列中每个转换步骤都需要一个 CONVST 脉冲。关于突发工作模式的详情，请参见“[突发序列器](#)”部分。

### 10.1 硬件模式序列器

在硬件模式下，序列器由 SEQEN 引脚和 CHSELx 引脚配置。当 GD30AD33G0 退出完全复位时，序列器要么使能，要么禁用。当释放 RESET 引脚时，SEQEN 引脚的逻辑电平决定序列器是使能还是禁用。释放 RESET 引脚后，该功能便固定下来，要退出该功能并设置另一种配置，需要通过 RESET 引脚执行完全复位。

表 9. 硬件模式序列器配置

SEQEN	接口模式
0	禁用序列器
1	使能序列器

当序列器使能时，CHSELx 引脚的逻辑电平决定选择哪些通道在序列中进行转换。释放 RESET 引脚时的 CHSELx 引脚状态决定要在序列中转换的通道初始设置。要在之后重新配置选定进行转换的通道，请在当前转换序列完成之前，将 CHSELx 引脚设为所需的设置并保持最后一个 BUSY 脉冲时间。详情参见图 43。

表 10. CHSELx 引脚解码序列器

通道选择输入引脚			要顺序转换的模拟输入通道
CHSEL0	CHSEL1	CHSEL2	
0	0	0	仅 V0x
0	0	1	V0x 至 V1x
0	1	0	V0x 至 V2x
0	1	1	V0x 至 V3x
1	0	0	V0x 至 V4x
1	0	1	V0x 至 V5x
1	1	0	V0x 至 V6x
1	1	1	V0x 至 V7x

### 10.2 软件模式序列器

在软件模式下，GD30AD33G0 含有 32 层完全可配置序列器堆栈。通过并行或串行接口写入配置寄存器和序列器堆栈寄存器，可实现对序列器的控制。

每个堆栈步骤都可以独立配置，通道 VxA 的任意输入可以与通道 VxB 的任意输入配对，或者选择任何诊断通道进行转换。序列器深度设置范围是 1 到 32 层。序列器深度通过 SSRENx 位控制。根据所需的最后步骤设置序列

器堆栈寄存器中的 SSREN<sub>x</sub> 位。对于所需的深度，通过写入各序列堆栈寄存器中的 ASEL<sub>x</sub> 和 BSEL<sub>x</sub> 位来选择要转换的通道。

将配置寄存器中的 SEQEN 位设为 1 就会激活序列器。

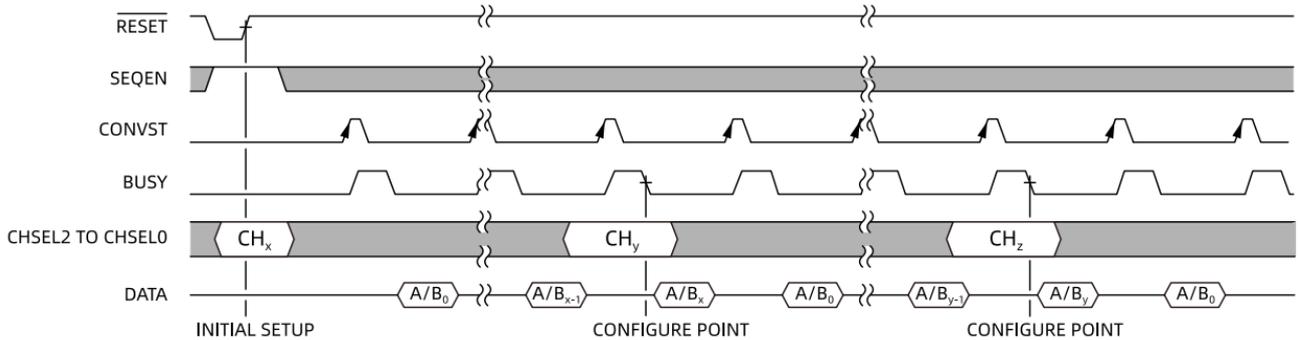


图 43. 硬件模式序列器配置

要配置并使能序列器，建议按如下步骤操作：

1. 配置所需模拟输入通道的模拟输入范围。
2. 设置序列器堆栈寄存器以选择序列中的通道。
3. 将需要的最后一个序列步骤中的 SSREN<sub>x</sub> 位置 1。
4. 将配置寄存器中的 SEQEN 位置 1。
5. 写入数据 0x0 到地址 0x00 退出寄存器模式。
6. 提供一个伪 CONVST 脉冲。
7. 重复发送 CONVST 脉冲并读取转换结果，遍历序列器堆栈中的每个元素。

若再来一个 CONVST 脉冲，序列将自动从序列器堆栈中的第一个元素重新开始。部分复位之后，序列器指针重定位在堆栈的第一层，但寄存器设置值保持不变。

### 10.3 突发序列器

突发模式下不需要为转换序列中的每个步骤产生一个 CONVST 脉冲。一个 CONVST 脉冲就能转换序列中的每个步骤。

突发序列器是一个配合序列器工作的额外特性。若使能突发功能，则一个 CONVST 脉冲就能启动序列器中配置的所有通道的转换。使用突发功能时，无需为转换序列中的每个步骤产生一个 CONVST 脉冲，若禁用突发功能则不然。

突发功能的配置取决于工作模式：硬件模式或软件模式。关于各种模式下配置突发功能的具体信息，参见“[硬件模式](#)”部分和“[软件模式序列器](#)”部分。

配置后，突发序列在 CONVST 上升沿启动。BUSY 引脚变为高电平表示转换正在进行。BUSY 引脚将保持高电平，直到序列中的所有转换都已完成。BUSY 引脚变为低电平后，可以回读转换结果。

读取突发序列中所有数据所需的数据读取次数取决于配置的序列长度。

转换结果按通道的设置顺序出现在数据总线（并行或串行）上。

在突发模式下，GD30AD33G0 的吞吐速率受限，具体值取决于序列长度。每个通道对都需要采集、转换和回读时间。完成一个含有 N 对通道的序列所需的时间可通过下式估算：

$$t_{BURST} = (t_{CONV} + 25ns) + (N-1)(t_{ACQ} - t_{CONV}) + N(t_{RB}) \quad (1)$$

其中：

$t_{CONV}$  为典型转换时间。

$t_{ACQ}$  为典型采集时间。

$t_{RB}$  为串行 1 线、串行 2 线或并行模式下回读转换结果所需的时间。

### 硬件模式突发

将 BURST 引脚置 1，就会在硬件模式下使能突发模式。还要将 SEQEN 引脚置 1 以使能序列器。

在硬件模式下，突发序列器由 BURST、SEQEN 和 CHSELx 引脚配置。当 GD30AD33G0 退出完全复位时，突发序列器要么使能，要么禁用。当释放 RESET 引脚时，SEQEN 引脚和 BURST 引脚的逻辑电平决定突发序列器是使能还是禁用。释放 RESET 引脚后，该功能便固定下来，要退出该功能并设置另一种配置，需要通过 RESET 引脚执行完全复位。

当突发序列器使能时，CHSELx 引脚的逻辑电平决定选择哪些通道在突发序列中进行转换。释放 RESET 引脚时的 CHSELx 引脚状态决定要在序列中转换的通道初始设置。要在复位后重新配置选定进行转换的通道，请将 CHSELx 引脚设为所需的设置并保持下一个 BUSY 脉冲时间（详情参见图 45）。

### 软件模式突发

在软件模式下，将配置寄存器中的 BURST 位设为 1 可使能突发功能。将配置寄存器中的 SEQEN 位设为 1 时，必须执行此操作，如“软件模式序列器”部分中配置序列器的步骤所述（更多信息参见图 46）。

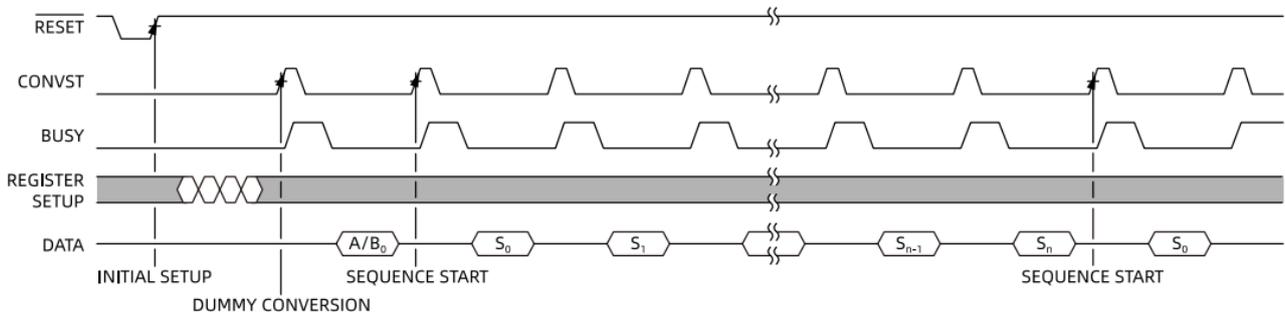


图 44. 软件模式序列器配置

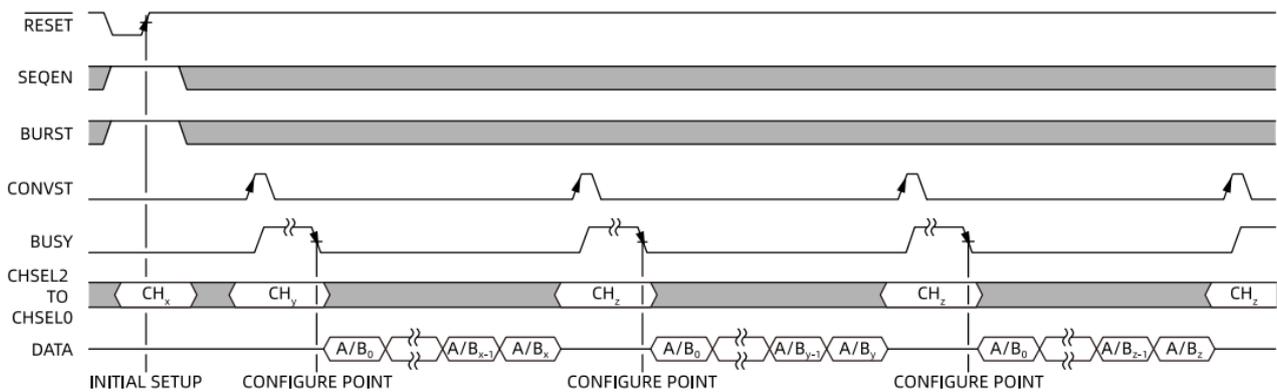


图 45. BURST 序列器硬件模式

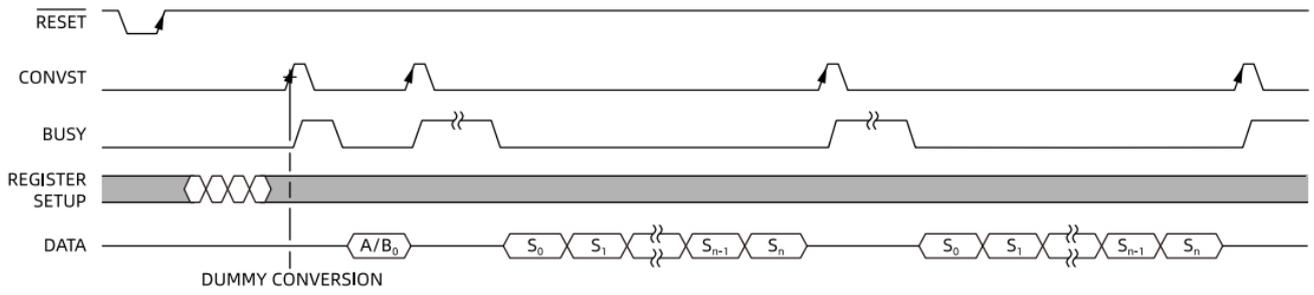


图 46. BURST 序列器软件模式

突发序列器模式下，GD30AD33G0 只能拉低一次 $\overline{CS}$ 信号读取序列器所有通道数据。

## 11 诊断

### 11.1 诊断通道

除 16 个模拟输入 VxA 和 VxB 外，GD30AD33G0 还可以转换以下诊断通道：VCC 和模拟 ALDO 电压。将通道寄存器（参见“[通道寄存器](#)”部分）设置为对应的通道标识符，便可选择诊断通道进行转换。软件模式下也可将诊断通道增加到序列器堆栈中，但要提供精确的读数，吞吐速率须小于 250 kSPS。图 47 所示为使用诊断通道时相对于预期值的偏差与采样频率的关系曲线。

各通道的预期输出由以下传递函数决定：公式中  $V_{REF}$  指 REFCAP 引脚上的电压，其典型值为 4.096 V。

$$V_{CC\text{码}} = \frac{[(4 \times V_{CC}) - V_{REF}] \times 32768}{5 \times V_{REF}} \quad (2)$$

$$LDO\text{码} = \frac{[(10 \times V_{ALDO}) - (7 \times V_{REF})] \times 32768}{10 \times V_{REF}} \quad (3)$$

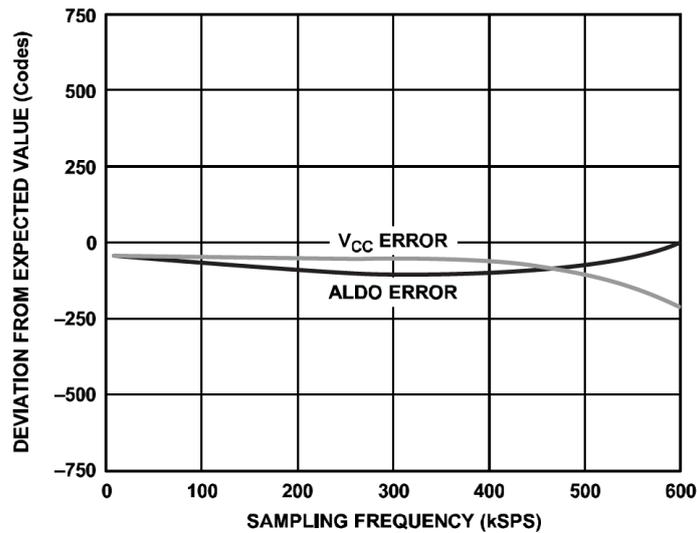


图 47. 相对于预期值的偏差与采样频率的关系

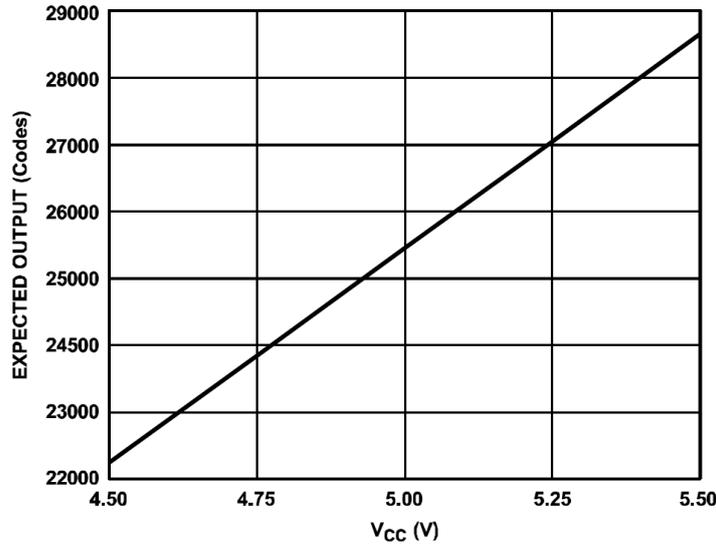


图 48. Vcc 诊断传递函数

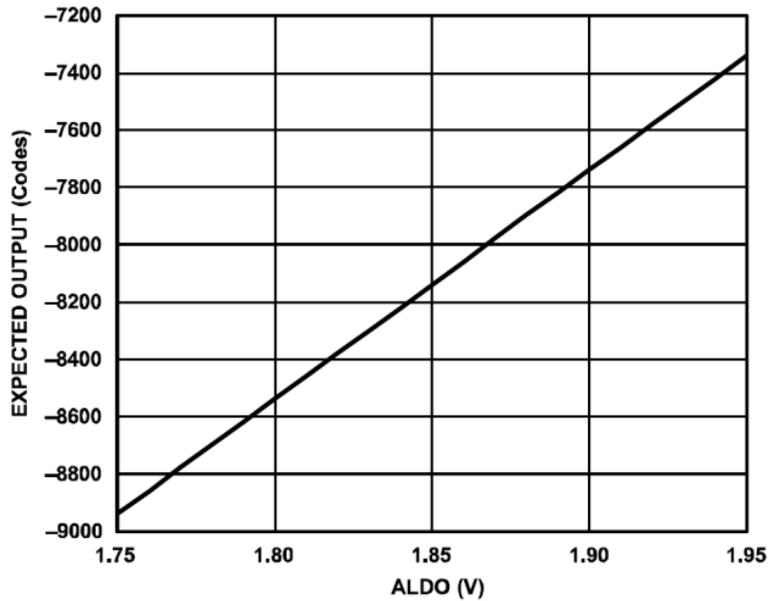


图 49. ALDO 诊断传递函数

## 11.2 接口自测

选择通道寄存器中的通信自测通道，可以测试数字接口的完整性（参见“[通道寄存器](#)”部分）。

配置寄存器选择通信自测通道，进行转换（非序列器模式下，第一次需要一次伪转换），会迫使转换结果寄存器变为已知固定输出。读取转换代码时，代码 0xA AAA 作为 ADC A 的转换代码输出，代码 0x5555 作为 ADC B 的转换代码输出。

## 11.3 CRC

GD30AD33G0 具有循环冗余校验 (CRC) 模式，利用这种模式可检测数据中的错误，从而提高接口的鲁棒性。软件（串行和并行）模式和硬件（仅串行）模式下均可使用 CRC 特性。硬件并行模式下不能使用 CRC 特性。CRC 结果包含在状态寄存器中。使能 CRC 特性会使能状态寄存器，反之亦然。

在硬件模式下，CRCEN 引脚控制 CRC 特性。当 GD30AD33G0 退出完全复位时，CRC 特性要么使能，要么禁用。当释放 $\overline{\text{RESET}}$ 引脚时，CRCEN 引脚的逻辑电平决定 CRC 特性是使能还是禁用。CRCEN 引脚设为 1 时，使能 CRC 特性。释放 $\overline{\text{RESET}}$ 引脚后，该功能便固定下来，要退出该功能并设置另一种配置，需要通过 $\overline{\text{RESET}}$ 引脚执行完全复位。更多信息参见“复位功能”部分。使能后，CRC 结果追加到转换结果上。CRC 状态寄存器为 16 位字，前 8 位为最后转换的通道对的通道 ID，后 8 位为 CRC 结果。该结果通过额外的读命令访问，如图 50 所示。

在软件模式下，将配置寄存器中的 CRCEN 位或 STATUSEN 位设为 1 可使能 CRC 功能（参见“配置寄存器”部分）。

使能 CRC 功能后，就会对通道 VxA 和通道 VxB 的转换结果计算 CRC。根据器件的配置上，传输完转换结果后，计算并通过串行或并行接口传输 CRC。Hamming 距离与转换结果的位数相关。转换结果位数 $\leq 119$  时，Hamming 距离为 4。位数 $> 119$  时，Hamming 距离为 1，即总是会检测到 1 位错误。

下面用伪代码说明 GD30AD33G0 中如何实现 CRC：

```

crc = 8'b0;
i = 0;
x = number of conversion channel pairs;
for (i=0, i<x, i++) begin
  crc1 = crc_out(An,Crc);
  crc = crc_out(Bn,Crc1);
  i = i + 1;
end
其中函数 crc_out(data, crc) 为
crc_out[0] = data[14] ^ data[12] ^ data[8] ^ data[7] ^ data[6] ^ data[0] ^ crc[0] ^ crc[4] ^ crc[6];
crc_out[1] = data[15] ^ data[14] ^ data[13] ^ data[12] ^ data[9] ^ data[6] ^ data[1] ^ data[0] ^ crc[1] ^ crc[4] ^ crc[5]
^ crc[6] ^ crc[7];
crc_out[2] = data[15] ^ data[13] ^ data[12] ^ data[10] ^ data[8] ^ data[6] ^ data[2] ^ data[1] ^ data[0] ^ crc[0] ^ crc[2]
^ crc[4] ^ crc[5]
^ crc[7];
crc_out[3] = data[14] ^ data[13] ^ data[11] ^ data[9] ^ data[7] ^ data[3] ^ data[2] ^ data[1] ^ crc[1] ^ crc[3] ^ crc[5] ^
crc[6];
crc_out[4] = data[15] ^ data[14] ^ data[12] ^ data[10] ^ data[8] ^ data[4] ^ data[3] ^ data[2] ^ crc[0] ^ crc[2] ^ crc[4]
^ crc[6] ^ crc[7];
crc_out[5] = data[15] ^ data[13] ^ data[11] ^ data[9] ^ data[5] ^ data[4] ^ data[3] ^ crc[1] ^ crc[3] ^ crc[5] ^ crc[7];
crc_out[6] = data[14] ^ data[12] ^ data[10] ^ data[6] ^ data[5] ^ data[4] ^ crc[2] ^ crc[4] ^ crc[6];
crc_out[7] = data[15] ^ data[13] ^ data[11] ^ data[7] ^ data[6] ^ data[5] ^ crc[3] ^ crc[5] ^ crc[7];

```

GD30AD33G0 使用的初始 CRC 字为等于 0 的 8 位字。上述代码中描述的 XOR 操作用于计算转换结果 AN 的 CRC 字的每一位。然后，将此 CRC 字 (crc1) 用作转换结果 BN 的 CRC 字 (crc) 计算的起点。对于每个转换的通道对，循环重复上述过程。

根据 GD30AD33G0 的工作模式，状态寄存器值被附加到转换数据上，并利用额外的读命令通过串行或并行接口读出。然后，对于收到的转换结果，用户可以重复上述代码中描述的 XOR 计算，检查两个 CRC 字是否一致。图 50 显示了每种工作模式下 CRC 字是如何附加到数据上的。

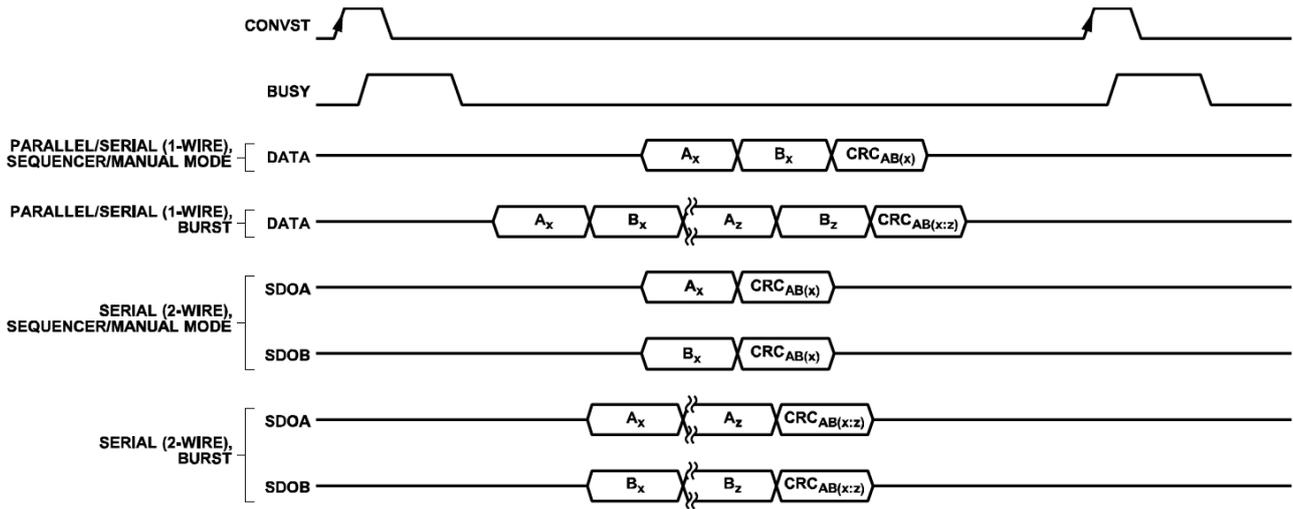


图 50. 所有模式的 CRC 回读

## 12 寄存器汇总

GD30AD33G0 有 6 个读/写寄存器，用于在软件模式下配置器件；另有 32 个序列器堆栈寄存器，用于设置灵活的片内序列器；还有一个只读状态寄存器。表 11 是 GD30AD33G0 的读/写寄存器一览表。状态寄存器是一个只读寄存器，包含关于上次转换的通道对的信息结果。

表 11. 寄存器汇总<sup>1</sup>

寄存器	名称	位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位	R/W
0x02	配置寄存器	[15:8]	寻址							保留	0x0000	R/W
		[7:0]	SDEF	BURSTEN	SEQEN	OS		STATUSEN	保留			
0x03	配置寄存器	[15:8]	寻址							保留	0x0000	R/W
		[7:0]	CHB				CHA					
0x04	输入范围寄存器 A1	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V3A		V2A		V1A	V0A				
0x05	输入范围寄存器 A2	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V7A		V6A		V5A	V4A				
0x06	输入范围寄存器 B1	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V3B		V2B		VB1	V0B				
0x07	输入范围寄存器 B2	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V7B		V6B		VB5	V4B				
0x20 to 0x3F	序列器堆栈寄存器 [0:31]	[15:8]	寻址							SSRENx	0x0000 <sup>2</sup>	R/W
		[7:0]	BSELx				ASELx					
N/A	状态寄存器	[15:8]	A[3:0]			B[3:0]			N/A	R		
		[7:0]	保留[7:0]									

1. N/A 表示不适用。
2. 启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道 V0A 和通道 V0B 至通道 V7A 和通道 V7B 并循环。其余 24 层堆栈重新初始化为 0x0。

### 12.1 寻址寄存器

写入器件的 7 个 MSB 用于确定要寻址的寄存器。这 7 个 MSB 由寄存器地址 (REGADDR) 位 [5:0] 和读/写位组成。寄存器地址位确定选择哪个片内寄存器。读/写位确定 DB10/SDI 线上数据的其余 9 位是否载入被寻址的寄存器。若读/写位为 1，则将这些位载入由寄存器选择位寻址的寄存器。若读/写位为 0，则认为命令是一个读操作请求。被寻址的寄存器数据可在下一读操作中读取。

#### MSB

D15	D14	D13	D12	D11	D10	D9	D8 至 D0
W/R	REGADDR[5]	REGADDR[4]	REGADDR[3]	REGADDR[2]	REGADDR[1]	REGADDR[0]	DATA[8:0]

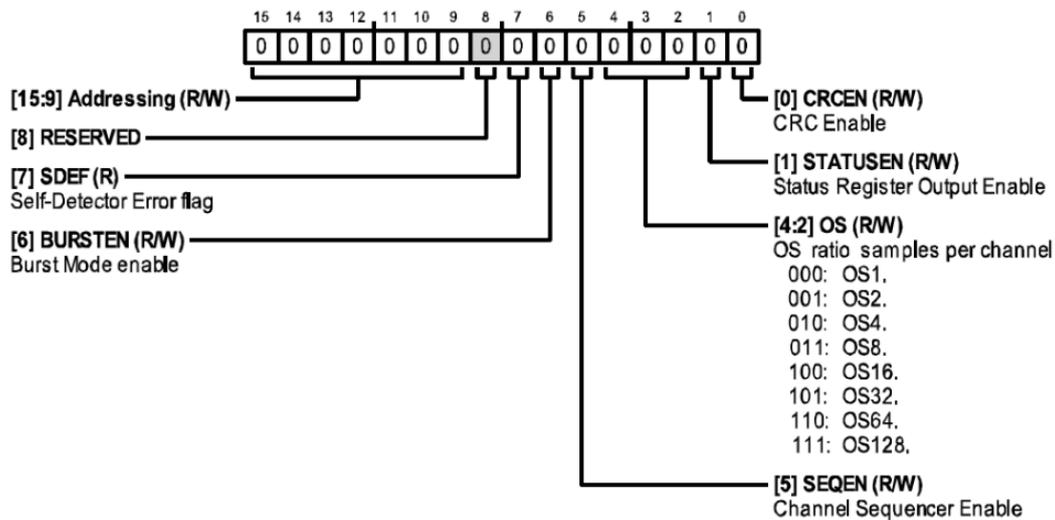
表 12. 寻址寄存器配置描述

位	引脚名称	描述
D15	W/R	若向此位写入 1，则将此寄存器的位 [D8:D0] 写入 REGADDR[5:0] 指定的寄存器。 若写入 0，则下一个操作是对指定寄存器执行读操作。
D14	REGADDR[5]	若向此位写入 1，则 REGADDR[4:0] 的内容指定 32 个序列器堆栈寄存器。 若写入 0，则选择 REGADDR[4:0] 所定义的寄存器。
[D13:D9]	REGADDR[4:0]	当 W/R = 1 时， REGADDR[4:0] 的内容决定要选择的寄存器，如下所示： 00001: 保留。 00010: 选择配置寄存器。 00011: 选择通道寄存器。 00100: 选择输入范围寄存器 A1。 00101: 选择输入范围寄存器 A2。 00110: 选择输入范围寄存器 B1。 00111: 选择输入范围寄存器 B2。 01000: 选择状态寄存器。 当 W/R = 0 时， REGADDR[4:0] 为 00000，读取转换代码。
[D8:D0]	DATA[8:0]	将这些位写入位 REGADDR[5:0] 指定的寄存器。有关各寄存器的详细说明，参见下面的部分。

## 12.2 配置寄存器

配置寄存器用在软件模式下，用来配置 ADC 的许多主要功能，包括序列器、突发模式、过采样和保留选项。

地址： 0x02；复位： 0x0000；名称： 配置寄存器



**表 13. 配置寄存器的位功能描述**

位	位名称	设置	描述	复位 <sup>1</sup>	访问类型
[15:9]	寻址	0	位 [15:9] 指定相关寄存器的地址。详情见“ <a href="#">寻址寄存器</a> ”部分。	0x0	RW
8	保留		保留。	0x0	R/W
7	SDEF		自检测错误标志。	N/A	R
		0	测试通过。GD30AD33G0 上电后成功完成自身配置。		
		1	测试失败。器件配置过程中检测到问题。要求复位。		
6	BURSTEN		突发模式使能。	0x0	RW
		0	禁用突发模式。每个要转换的通道对都需要一个 CNVST 脉冲。		
		1	单个 CNVST 脉冲就能转换 32 层序列器堆栈寄存器中设置的每个通道对，直到且包括 SSRENx 位定义的层。详情参见“ <a href="#">软件模式序列器</a> ”部分和“ <a href="#">软件模式突发</a> ”部分。		
5	SEQEN		通道序列器使能。	0x0	RW
		0	禁用通道序列器。		
		1	使能通道序列器。		
[4:2]	OS		过采样 (OS) 率，每通道样本数。	0x0	RW
		000	禁用过采样。		
		001	使能过采样，OSR = 2。		
		010	使能过采样，OSR = 4。		
		011	使能过采样，OSR = 8。		
		100	使能过采样，OSR = 16。		
		101	使能过采样，OSR = 32。		
		110	使能过采样，OSR = 64。		
111	使能过采样，OSR = 128。				
1	STATUSEN		状态寄存器输出使能。	0x0	RW
		0	读取转换结果时，不读出状态寄存器。		
		1	读出所有选定通道的所有转换字（若在序列器模式下使能了自测通道，则还包括自测通道）之后，读出状态寄存器。		
0	CRCEN		CRC 使能。STATUSEN 和 CRCEN 位功能相同。	0x0	RW

1. N/A 表示不适用。

### 12.3 通道寄存器

地址： 0x03；复位： 0x0000；名称： 通道寄存器

在软件手动模式下，通道寄存器选择输入通道或自测通道进行下一次转换。

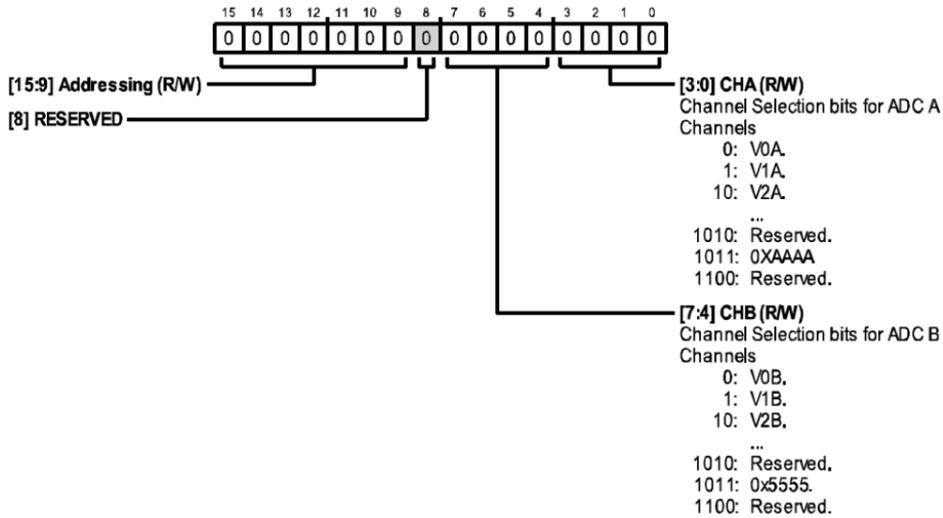


表 14. 通道寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:4]	CHB		ADC B 通道的通道选择位。		
		0000	V0A/V0B。		
		0001	V1A/V1B。		
		0010	V2A/V2B。		
		0011	V3A/V3B。		
		0100	V4A/V4B。		
		0101	V5A/V5B。		
		0110	V6A/V6B。		
		0111	V7A/V7B。		
		1000	V <sub>CC</sub>		
		1001	ALDO		
		1010	保留。		
	1011	设置数字接口通信自测功能的专用位。读取转换代码时，代码 0xAAAA 作为通道 A 的转换代码读出，代码 0x5555 作为通道 B 的转换代码读出。			
	1100	保留。			
[3:0]	CHA		ADC A 通道的通道选择位。设置同 ADC B。	0x0	R/W

## 12.4 输入范围寄存器

输入范围寄存器 A1 和输入范围寄存器 A2 为模拟输入通道 V0A 至 V7A 选择三个可能输入范围 ( $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$  或  $\pm 2.5\text{ V}$ ) 中的一个。输入范围寄存器 B1 和输入范围寄存器 B2 为模拟输入通道 V0B 至 V7B 选择三个可能输入范围 ( $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$  或  $\pm 2.5\text{ V}$ ) 中的一个。

### 输入范围寄存器 A1

地址：0x04；复位：0x00FF；名称：输入范围寄存器 A1。

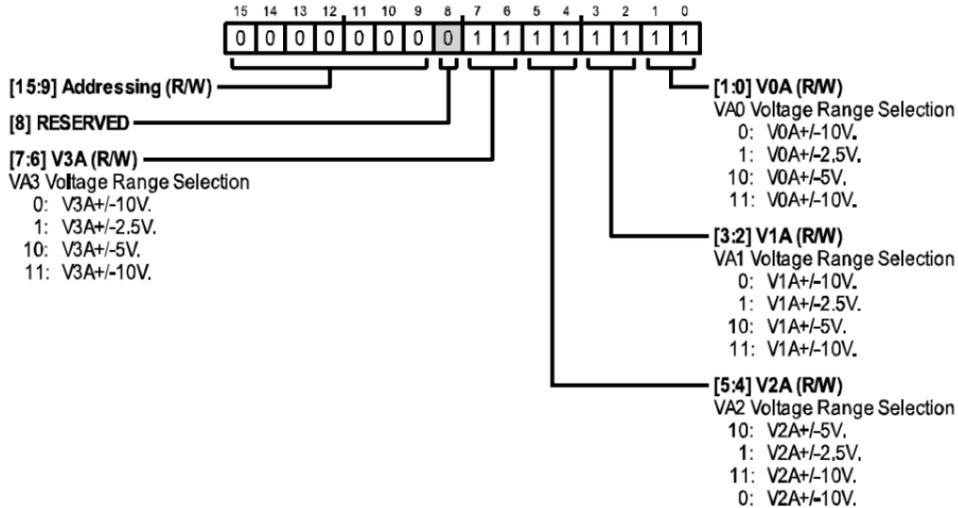


表 15. 输入范围寄存器 A1 的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“ <a href="#">寻址寄存器</a> ”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:5]	V3A		V3A 电压范围选择。	0x3	R/W
		00	$V3A \pm 10\text{V}$ 。		
		01	$V3A \pm 2.5\text{V}$ 。		
		10	$V3A \pm 5\text{V}$ 。		
[5:4]	V2A		V2A 电压范围选择。	0x3	R/W
		00	$V2A \pm 10\text{V}$ 。		
		01	$V2A \pm 2.5\text{V}$ 。		
		10	$V2A \pm 5\text{V}$ 。		
[3:2]	V1A		V1A 电压范围选择。	0x3	R/W
		00	$V1A \pm 10\text{V}$ 。		
		01	$V1A \pm 2.5\text{V}$ 。		
		10	$V1A \pm 5\text{V}$ 。		
[1:0]	V0A		V0A 电压范围选择。	0x3	R/W
		00	$V0A \pm 10\text{V}$ 。		

位	位名称	设置	描述	复位	访问类型
		01	$V0A \pm 2.5V$ 。		
		10	$V0A \pm 5V$ 。		
		11	$V0A \pm 10V$ 。		

### 输入范围寄存器 A2

地址： 0x05； 复位： 0x00FF； 名称： 输入范围寄存器 A2。

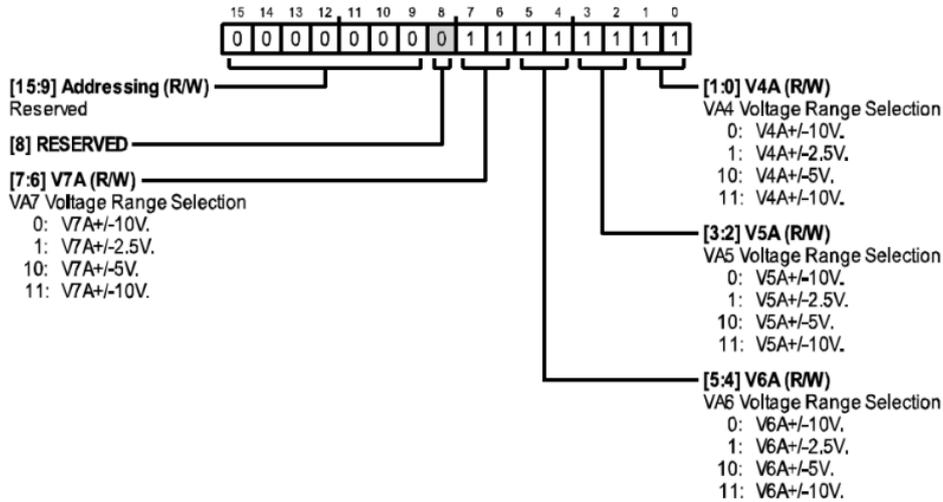


表 16. 输入范围寄存器 A2 的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“ <a href="#">寻址寄存器</a> ”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:5]	V7A		V7A 电压范围选择。	0x3	R/W
		00	$V7A \pm 10V$ 。		
		01	$V7A \pm 2.5V$ 。		
		10	$V7A \pm 5V$ 。		
[5:4]	V6A		V6A 电压范围选择。	0x3	R/W
		00	$V6A \pm 10V$ 。		
		01	$V6A \pm 2.5V$ 。		
		10	$V6A \pm 5V$ 。		
[3:2]	V5A		V5A 电压范围选择。	0x3	R/W
		00	$V5A \pm 10V$ 。		
		01	$V5A \pm 2.5V$ 。		
		10	$V5A \pm 5V$ 。		
[1:0]	V4A		V4A 电压范围选择。	0x3	R/W

位	位名称	设置	描述	复位	访问类型
		00	V4A ± 10V。		
		01	V4A ± 2.5V。		
		10	V4A ± 5V。		
		11	V4A ± 10V。		

### 输入范围寄存器 B1

地址： 0x06； 复位： 0x00FF； 名称： 输入范围寄存器 B1。

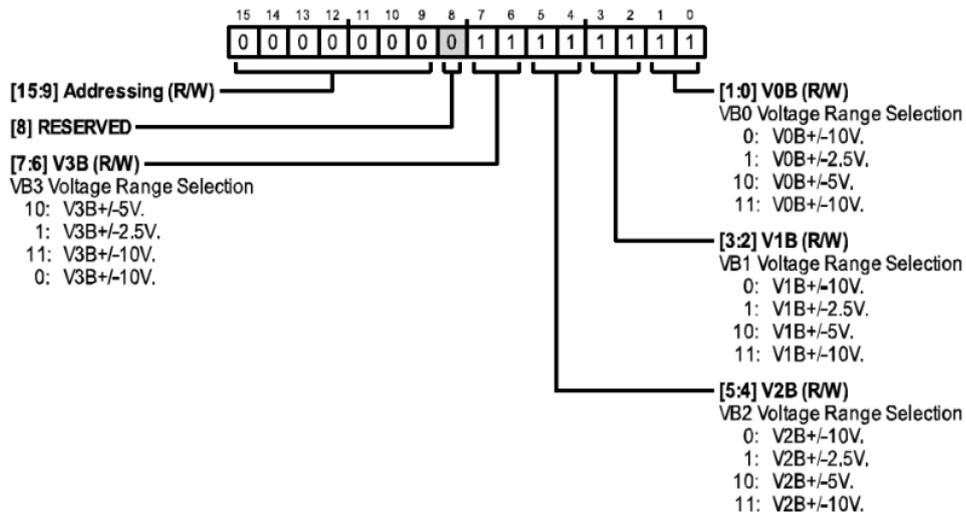


表 17. 输入范围寄存器 B1 的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“ <a href="#">寻址寄存器</a> ”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:5]	V3B		V3B 电压范围选择。	0x3	R/W
		00	V3B ± 10V。		
		01	V3B ± 2.5V。		
		10	V3B ± 5V。		
	11	V3B ± 10V。			
[5:4]	V2B		V2B 电压范围选择。	0x3	R/W
		00	V2B ± 10V。		
		01	V2B ± 2.5V。		
		10	V2B ± 5V。		
	11	V2B ± 10V。			
[3:2]	V1B		V1B 电压范围选择。	0x3	R/W
		00	V1B ± 10V。		
		01	V1B ± 2.5V。		
		10	V1B ± 5V。		
	11	V1B ± 10V。			

位	位名称	设置	描述	复位	访问类型
[1:0]	V0B		V0B 电压范围选择。	0x3	R/W
		00	V0B ± 10V。		
		01	V0B ± 2.5V。		
		10	V0B ± 5V。		
		11	V0B ± 10V。		

### 输入范围寄存器 B2

地址： 0x07；复位： 0x00FF；名称： 输入范围寄存器 B2。

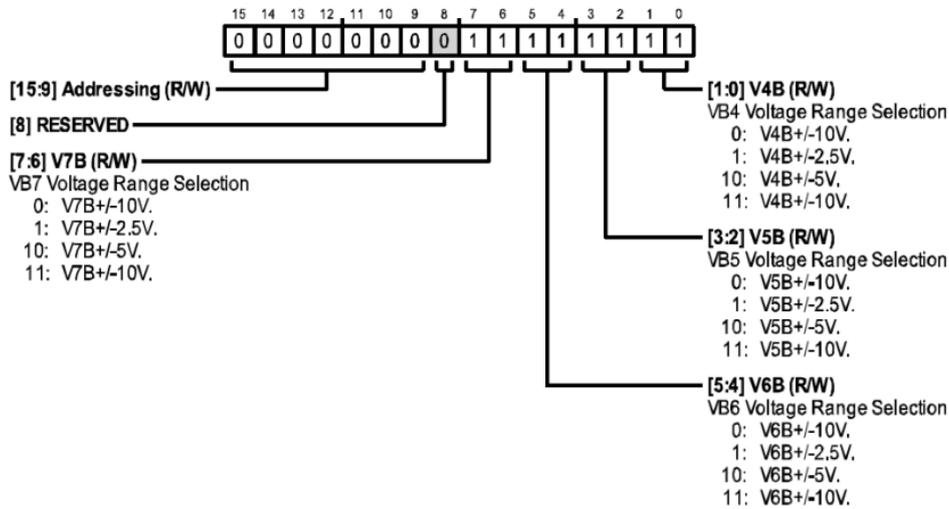


表 18. 输入范围寄存器 B2 的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“ <a href="#">寻址寄存器</a> ”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:5]	V7B		V7B 电压范围选择。	0x3	R/W
		00	V7B ± 10V。		
		01	V7B ± 2.5V。		
		10	V7B ± 5V。		
		11	V7B ± 10V。		
[5:4]	V6B		V6B 电压范围选择。	0x3	R/W
		00	V6B ± 10V。		
		01	V6B ± 2.5V。		
		10	V6B ± 5V。		
		11	V6B ± 10V。		
[3:2]	V5B		V5B 电压范围选择。	0x3	R/W
		00	V5B ± 10V。		
		01	V5B ± 2.5V。		
		10	V5B ± 5V。		
		11	V5B ± 10V。		

位	位名称	设置	描述	复位	访问类型
[1:0]	V4B		V4B 电压范围选择。	0x3	R/W
		00	V4B ± 10V。		
		01	V4B ± 2.5V。		
		10	V4B ± 5V。		
		11	V4B ± 10V。		

## 12.5 序列器堆栈寄存器

虽然通道寄存器能够定义下一个要转换的通道（无论是诊断通道还是一对模拟输入通道），但若要对许多模拟输入通道进行采样，那么利用 32 个序列器堆栈寄存器将很方便。在通信寄存器中，当 REGADDR5 位设为逻辑 1 时，REGADDR[4:0] 的内容指定 32 个序列器堆栈寄存器中的一个。在每个序列器堆栈寄存器中，用户可以指定一对模拟输入进行同步采样。

序列的结构形成一个堆栈，其中的每一行代表要同步转换的两个通道。序列从序列器堆栈寄存器 1 开始，一直遍历到序列器堆栈寄存器 32 并循环。如果某一序列器堆栈寄存器中的位 D8（使能位 SSRENx）设为 1，该序列将以该寄存器定义的模拟输入对结束，然后回到第一序列器堆栈寄存器并再次循环。默认情况下，序列器堆栈寄存器设置为遍历通道 V0A 和通道 V0B 至通道 V7A 和通道 V7B 并循环。启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道 V0A 和通道 V0B 至通道 V7A 和通道 V7B 并循环。

地址：0x20 至 0x3F；复位：0x0000；名称：序列器堆栈寄存器 [0:31]

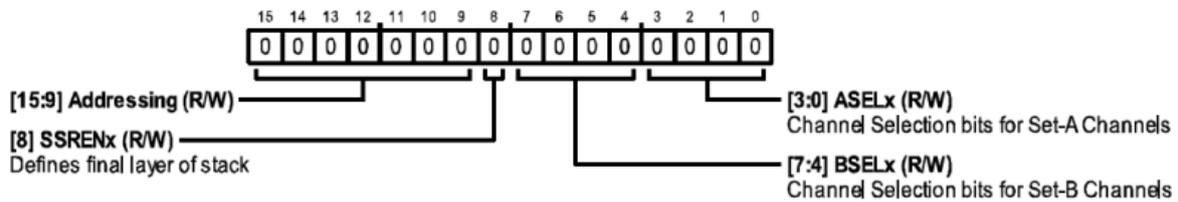


表 19. 序列器堆栈寄存器[0:31]的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	SSREN[0:31]		此位设为 0 时，指示 ADC 在转换完当前通道对之后，转移至序列器堆栈的下一层。此位设为 1 时，定义序列器堆栈的该层为序列中的最后一层。然后，序列器回到堆栈的第一层并循环。	0x0	R/W
[7:4]	BSEL[0:31]		ADC B 通道的通道选择位。		
		0000	V0B。		
		0001	V1B。		
		0010	V2B。		
		0011	V3B。		
		0100	V4B。		
		0101	V5B。		
	0110	V6B。			

位	位名称	设置	描述	复位	访问类型
		0111	V7B。		
		1000	VCC		
		1001	ALDO		
		1010	保留。		
		1011	设置数字接口通信自测功能的专用位。读取转换代码时，代码 0xAAAA 作为通道 A 的转换代码读出，代码 0x5555 作为通道 B 的转换代码读出。		
		1100	保留。		
[3:0]	ASEL[0:31]		ADC A 通道的通道选择位。设置同 ADC B。	0x0	R/W

1. 启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道 V0A 和通道 V0B 至通道 V7A 和通道 V7B 并循环。其余 24 层堆栈重新初始化为 0x0。

## 12.6 状态寄存器

状态寄存器是一个 16 位只读寄存器。若配置寄存器中的 STATUSEN 位设为逻辑 1，则在选定通道的所有转换字结束时（如果序列器模式下使能了自测通道，则还包括自测通道），读出状态寄存器。

MSB

LSB

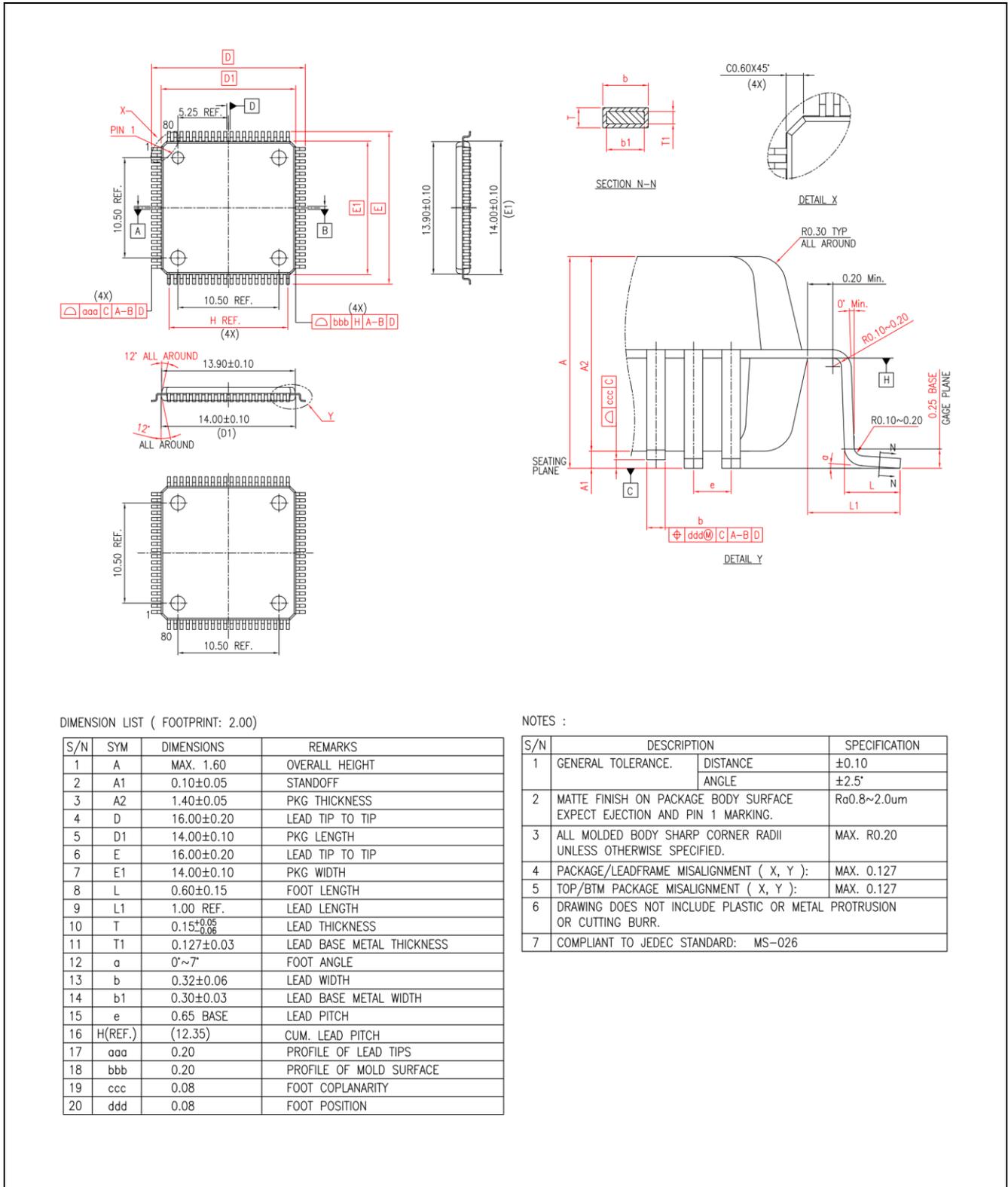
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
A[3:0]				B[3:0]											

表 20. 状态寄存器的位功能描述

位	位名称	设置	描述	复位 <sup>1</sup>	访问类型
[D15:D12]	A[3:0]		通道 A 上前一次转换结果的通道索引。	N/A	R
[D11:D8]	B[3:0]		通道 B 上前一次转换结果的通道索引。	N/A	R
[D7:D0]				N/A	R

1. N/A 表示不适用。

### 13 封装信息



DIMENSION LIST ( FOOTPRINT: 2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.10±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	16.00±0.20	LEAD TIP TO TIP
5	D1	14.00±0.10	PKG LENGTH
6	E	16.00±0.20	LEAD TIP TO TIP
7	E1	14.00±0.10	PKG WIDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF.	LEAD LENGTH
10	T	0.15 <sup>+0.05</sup> <sub>-0.06</sub>	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.32±0.06	LEAD WIDTH
14	b1	0.30±0.03	LEAD BASE METAL WIDTH
15	e	0.65 BASE	LEAD PITCH
16	H(REF.)	(12.35)	CUM. LEAD PITCH
17	aaa	0.20	PROFILE OF LEAD TIPS
18	bbb	0.20	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

NOTES :

S/N	DESCRIPTION	SPECIFICATION
1	GENERAL TOLERANCE.	DISTANCE ±0.10
		ANGLE ±2.5°
2	MATTE FINISH ON PACKAGE BODY SURFACE EXPECT EJECTION AND PIN 1 MARKING.	Ra0.8~2.0um
3	ALL MOLDED BODY SHARP CORNER RADII UNLESS OTHERWISE SPECIFIED.	MAX. R0.20
4	PACKAGE/LEADFRAME MISALIGNMENT ( X, Y ):	MAX. 0.127
5	TOP/BTM PACKAGE MISALIGNMENT ( X, Y ):	MAX. 0.127
6	DRAWING DOES NOT INCLUDE PLASTIC OR METAL PROTRUSION OR CUTTING BURR.	
7	COMPLIANT TO JEDEC STANDARD: MS-026	

## 14 采购信息

订购型号	封装类型	ECO Plan	包装类型	最小起订量	工作温度 (°C)
GD30AD33G0VWTR-I10	LQFP80	Green	Tape & Reel	1000	-40°C to +125°C

## 15 版本历史

版本号	描述	日期
1.0	初始版本	2023
1.1	修改 5.3 小节中部分电气参数	2024
1.2	1. 修改 VDRIVE 范围 2. 增加并行接口、串行接口、突发序列模式、CRC 部分描述	2024

## Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. Unless otherwise expressly specified in the datasheet of the Product, the Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2024 GigaDevice – All rights reserved